復旦大學 Fudan University

中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES

武漢大學 WUHAN UNIVERSITY

ICCC 2026 三维连TOKEN 智能芯时代

第四届集成芯片和芯粒大会

THE 4th INTEGRATED CHIPS AND CHIPLET CONFERENCE

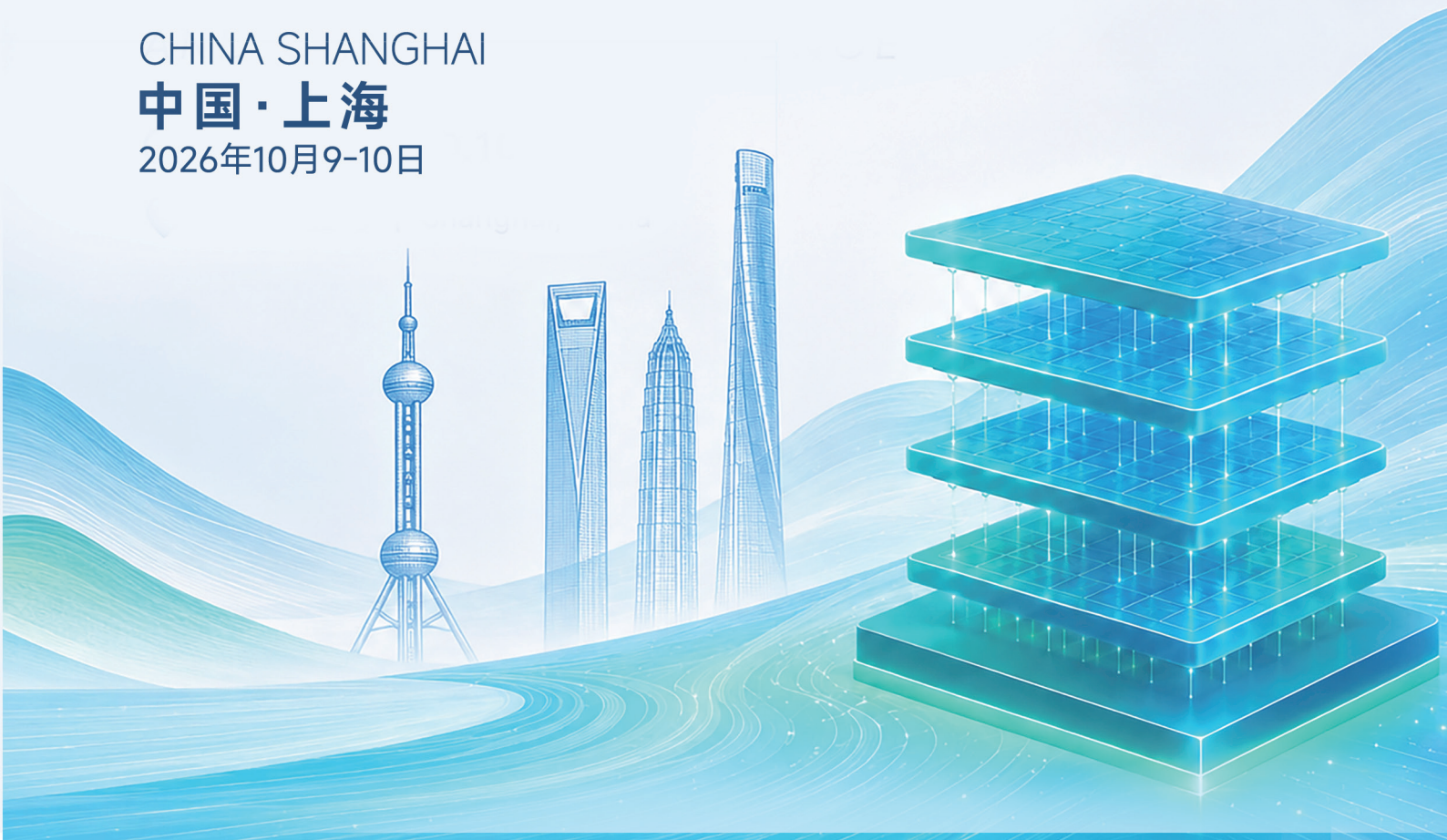
会议手册

HANDBOOK

CHINA SHANGHAI

中国·上海

2026年10月9-10日



主办单位

复旦大学 Fudan University

中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES

武汉大学 WUHAN UNIVERSITY

承办单位

集成芯片与系统全国重点实验室
处理器芯片全国重点实验室
集成电路制造技术全国重点实验室
射频异质异构集成全国重点实验室
武汉大学集成电路学院
湖北大学集成电路学院
芯粒 CAD 和制造浙江省工程研究中心
江城实验室

合作伙伴

江城实验室 YANGTZE LABORATORY

CHIPLET DESIGN AND MANUFACTURING 芯粒CAD和制造浙江省工程研究中心

合见工软 UNIVISTA

长江存储 YANGTZE MEMORY

XPEEDIC POWERING CHIP-TO-SYSTEM INTELLIGENCE 芯和半导体

Witmem 知存科技

Empyrean 华大九天

媒体伙伴

未来半导体 Future Semiconductor

创芯网 EETOP.CN

半导体行业观察 Semi-insights.com

矽

芯思想 深度源自专注

Contents 目录

01 大会简介 01

02 组织架构 02

03 温馨提示 05

04 大会议程 07

05 嘉宾介绍 26

大会简介

本次大会是在国家自然科学基金委“集成芯片前沿技术科学基础”重大研究计划指导下，由复旦大学、中国科学院计算技术研究所、武汉大学共同主办的年度学术盛会。

本届会议主题为：三维连Token，智能芯时代。大会将围绕这一主题，深入探讨集成芯片与芯粒技术在三维集成、异构集成及智能化应用等方面的最新进展与未来方向。

自2023年首届大会举办以来，集成芯片与芯粒大会已成为国内该领域极具影响力的交流平台。大会始终致力于探索基于自主集成电路工艺提升芯片性能的新技术路径，推动“分解—组合—集成”这一设计新范式的发展，为学术界与产业界搭建高质量的沟通桥梁。

本届大会围绕集成芯片领域的前沿方向设置了丰富议程。10月9日上午将举行大会开幕式及主旨报告，邀请院士及产业领袖发表演讲；10月10日上午继续安排主旨报告及圆桌论坛。10月9日下午及10月10日下午共设置16个技术分论坛，议题涵盖大模型芯片、3D芯片、晶圆级大算力、高速互连、三维EDA、多物理场仿真、先进集成工艺等方向。并设有IEEE Chiplet Workshop（含投稿环节）及竞赛活动。

组织架构

大会主席



刘　明
复旦大学

大会主席



孙凝晖
中国科学院计算技术研究所

顾问委员会



刘　胜
武汉大学



吴汉明
浙江大学



郝　跃
西安电子科技大学



彭练矛
北京大学



张　荣
厦门大学



施　毅
南京大学



钱德沛
北京航空航天大学



毛军发
深圳大学

顾问委员会



陈志明
中国科学院数学与
系统科学研究院



宣益民
南京航空航天大学



杨德仁
浙江大学



祝宁华
南开大学



邬江兴
中国国家数字交换系统
工程技术研究中心



廖湘科
国防科学技术大学



尤　政
华中科技大学

技术委员会主席



刘　琦
复旦大学



韩银和
中国科学院计算技术研究所



郭宇铮
武汉大学

组织委员会主席



陈迟晓
复旦大学



王梦迪
中国科学院计算技术研究所



张召富
武汉大学

组织委员会

赞助主席
蒋　力　上海交通大学
袁凯平　复旦大学

竞赛主席
王小航　浙江大学
朱浩哲　复旦大学

注册主席
杜　源　南京大学
金　洲　浙江大学

宣传主席
江文宁　复旦大学
刘诗玮　同济大学

展览主席
林秋阳　复旦大学
沈逸超　复旦大学

程序委员会

杨建国　张江实验室
王　扬　清华大学
桂小琰　西安交通大学
赵潇腾　西安电子科技大学
游海龙　西安电子科技大学
贺　青　同济大学
司　鑫　东南大学
拜福君　紫光国芯
李力一　东南大学
薛兴涛　盛合晶微半导体
王小航　浙江大学
朱浩哲　复旦大学
陈迟晓　复旦大学
孙广宇　北京大学
陶　俊　复旦大学
Grace Li Zhang　德国达姆施塔特工业大学
张召富　武汉大学
刘丰满　华进半导体封装先导技术研发中心有限公司
黄嘉逸　香港科技大学（广州）
王梦迪　中国科学院计算技术研究所
刘　盼　复旦大学
刘诗玮　同济大学
吴林晟　上海交通大学
代文亮　芯和半导体
程　林　中国科学技术大学
陈映平　复旦大学
吴语茂　复旦大学
王逸群　湖北星辰技术有限公司
涂锋斌　香港科技大学
许浩博　中国科学院计算技术研究所
苏　菲　清华大学
蔡志匡　南京邮电大学

温馨提示

1、会议期间，请参会代表务必带上会议统一制作的胸卡出入会场和其他相关场所，无胸卡者或不佩戴者谢绝入场；

2、请自觉维护会场秩序，服从大会安排，会议期间如无特殊情况，请勿在会场随意走动，自觉维护环境整洁，会场内请勿吸烟；

3、会议期间请将通讯设备关闭或调至静音状态，如需接听电话请移步至场外；请妥善保管好个人财物及重要文件等贵重物品，谨防丢失;

4、禁止在会场内外发放未经会务组允许的产品或资料；

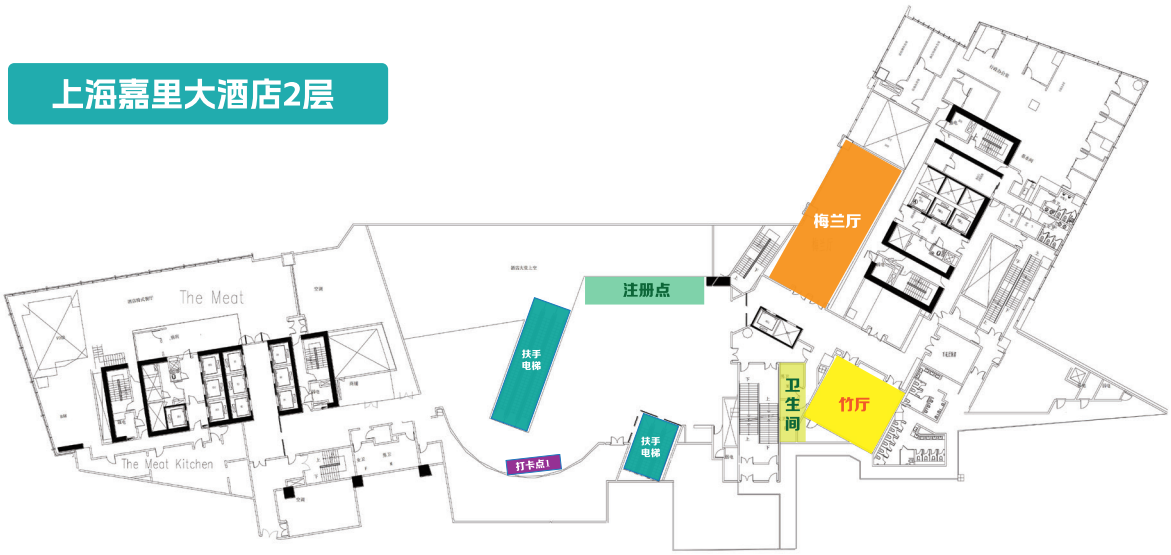
5、餐饮服务：请凭当日餐券用餐,以餐券显示地点为准。

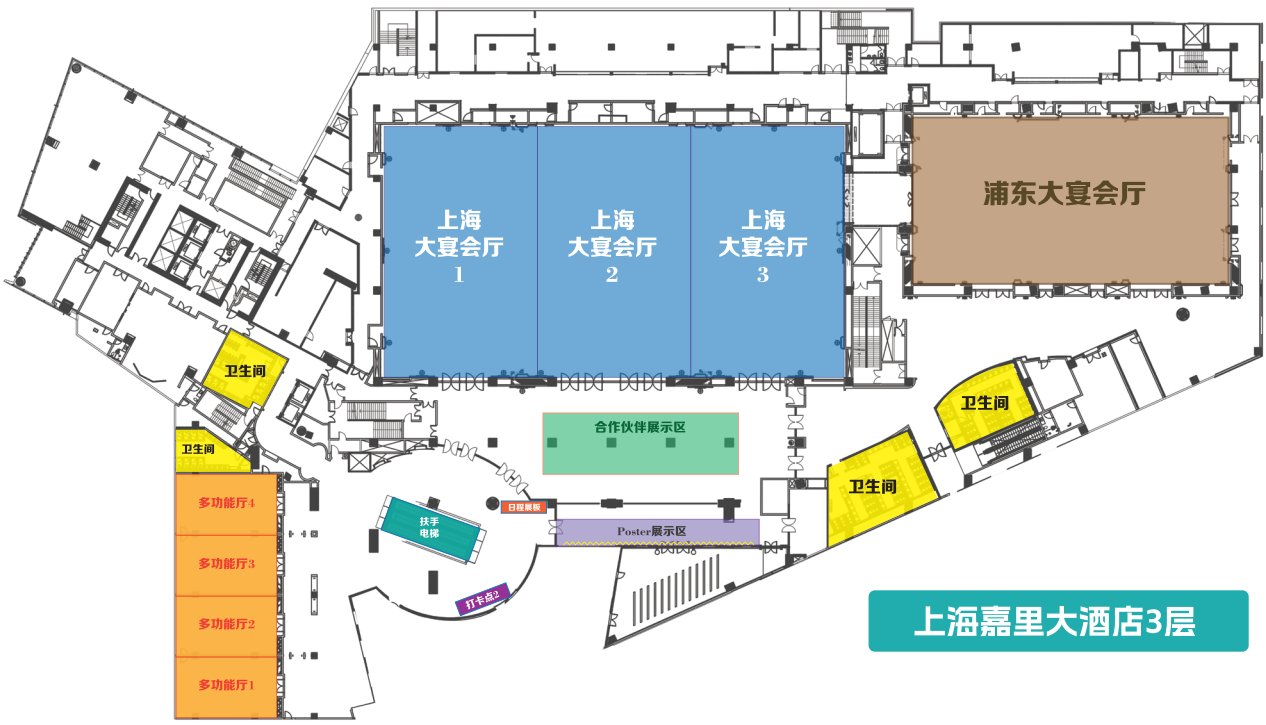


天气情况以当天实际情况为准，仅供参考

会场分布图

上海嘉里大酒店2层





上海嘉里大酒店3层

第四届集成芯片和芯粒大会总体日程

2026 10月9日 星期五

10月9日上午

09:00-09:20	开幕式、嘉宾致辞	
09:20-09:50	光电融合技术发展趋势与应用 祝宁华 南开大学智能光子研究院院长	
09:50-10:20	集成电路器件工艺突破创新 叶甜春 中国科学院微电子研究所研究员	
10:20-10:50	合影、休息	
10:50-11:20	基于DRAM器件创新探索内存与逻辑集成新范式 曹堪宇 长鑫科技集团股份有限公司总裁	
11:20-11:50	高端先进封装重构AI算力 陈灵芝 江苏长电科技股份有限公司副总裁	
12:00-13:30	午餐	

10月9日下午

13:30-17:40	论坛1：三维集成芯片设计与应用 主席：杨建国（张江实验室）、王扬 （清华大学）	3F大宴会厅1
13:30-17:40	论坛2：晶圆级芯片前沿进展 主席：胡杨（清华大学）、邹卓（复旦大学）	3F大宴会厅2
13:30-17:20	论坛3：面向集成芯片的高速互连与接口技术 主席：桂小琰（西安交通大学）、赵潇腾（西安电子科技大学）	3F多功能厅1
13:30-17:40	论坛4：3DIC物理设计EDA技术 主席：游海龙（西安电子科技大学）、贺青（同济大学）	3F大宴会厅3
13:30-17:40	论坛5：面向AI的三维存储器设计及其应用 主席：司鑫（东南大学）、拜福君（紫光国芯）	3F多功能厅2
13:30-17:30	论坛6：三维堆叠和混合键合前沿工艺 主席：李力一（东南大学）、薛兴涛（盛合晶微半导体）	3F多功能厅3
13:30-17:30	论坛7：第三届集成芯片和芯粒技术开源社区大赛 主席：王小航（浙江大学）、朱浩哲（复旦大学）	2F竹厅
13:30-17:30	论坛8：IEEE Chiplet Workshop 2026:Circuits and Systems for Next-Generation AI Computing 主席：陈迟晓（复旦大学）、孙广宇（北京大学） 陶俊（复旦大学）、Grace Li Zhang（德国达姆施塔特工业大学）	2F梅兰厅
13:30-17:40	论坛9：硅转接板与玻璃基板 主席：张召富（武汉大学）、刘丰满（华进半导体封装先导技术研发中心有限公司）	3F多功能厅4
18:30	晚餐	3F上海大宴会厅

第四届集成芯片和芯粒大会总体日程

2026 10月10日 星期六

10月10日上午

09:00-09:30	多范式统一的图计算芯片与系统设计理论与方法 金海 华中科技大学教授	
09:30-10:00	韬定律对EDA的挑战 黄宇 华为海思EDA首席架构师	
10:00-10:30	智能算力基础设施的机遇与挑战 李斌 曙光信息产业股份有限公司高级副总裁	
10:30-10:50	休息	
10:50-11:20	当前先进封装面临的挑战——来自江城实验室一线的实践 杨道虹 江城实验室主任、湖北大学集成电路学院院长	
11:20-12:00	圆桌论坛	
12:00-13:30	午餐	

10月10日下午

13:30-18:00	论坛10：3DIC系统架构与设计工具论坛 主席：黄嘉逸（香港科技大学(广州)）、王梦迪（中国科学院计算技术研究所）	3F多功能厅3
13:30-17:40	论坛11：3D芯片—封装协同优化顶会论坛 主席：刘盼（复旦大学）、刘诗玮（同济大学）	3F多功能厅4
13:30-17:20	论坛12：Chiplet EDA与物理仿真验证技术 主席：吴林晟（上海交通大学）、代文亮（芯和半导体）	3F大宴会厅1
13:30-17:40	论坛13：算力芯片先进供电架构与关键器件技术 主席：程林（中国科学技术大学）、陈映平（复旦大学）	3F多功能厅1
13:30-17:40	论坛14：三维堆叠芯片系统设计封装协同（STCO） 主席：吴语茂（复旦大学）、王逸群（湖北星辰技术有限公司）	3F大宴会厅3
13:30-17:40	论坛15：太空算力与具身智能：从系统架构到芯粒技术 主席：涂锋斌（香港科技大学）、许浩博（中国科学院计算技术研究所）	3F大宴会厅2
13:30-17:10	论坛16：三维集成芯片计算与测试关键技术论坛 主席：苏菲（清华大学）、蔡志匡（南京邮电大学）	3F多功能厅2

论坛1：三维集成芯片设计与应用

论坛会场：3F大宴会厅1　　论坛时间：13:30-17:40

论坛主席：杨建国（张江实验室）、王扬 （清华大学）

13:30-13:40 **论坛介绍**

13:40-14:10 **Déjà vu 与3DIC：一场跨越时空的技术轮回**
谢　源　香港科技大学

14:10-14:40 **面向先进AI芯片的三维集成供电技术**
汪　涵　香港大学

14:40-15:10 **端侧大模型AI芯片产业化及应用**
周　强　上海光羽芯辰科技有限公司

15:10-15:40 **休息**

15:40-16:10 **3D-IC 物理设计**
余　备　香港中文大学

16:10-16:40 **架构创新重塑AI芯片新范式**
彭贵强　上海东方算芯科技股份有限公司

16:40-17:10 **基于算法-芯片协同设计的大模型高效推理**
李　萌　北京大学

17:10-17:40 **面向生成式大模型三维集成的电路与系统协同优化**
刘　波　东南大学

论坛2：晶圆级芯片前沿进展

论坛会场：3F大宴会厅2　　论坛时间：13:30-17:40

论坛主席：胡杨（清华大学）、邹卓（复旦大学）

13:30-13:40 **论坛介绍**

13:40-14:10 **面向全脑计算的晶圆级集成类脑计算架构与系统设计**
环宇翔　广东省智能科学与技术研究院

14:10-14:40 **超越单芯片边界：面向新一代大模型的Multi-GPU原生微架构**
张　宸　上海交通大学集成电路学院

14:40-15:10 **软件定义晶圆级芯片自动架构探索中的若干关键技术**
魏　帅　信息工程大学

15:10-15:40 **休息**

15:40-16:10 **面向晶圆级大模型推理的映射与通信优化**
黄嘉逸　香港科技大学（广州）

16:10-16:40 **大模型晶圆级系统：从高效推理到实际部署**
王梦迪　中国科学院计算技术研究所

16:40-17:10 **从专用到通用：映天湖晶圆级异构多芯粒计算机的架构与原型验证**
刘宏伟　中国科学院计算技术研究所

17:10-17:40 **面向领域融合智能计算负载的异构存内计算架构设计探索**
黄　禹　华中科技大学

论坛3：面向集成芯片的高速互连与接口技术

论坛会场：3F多功能厅1　　论坛时间：13:30-17:20

论坛主席：桂小琰（西安交通大学）、赵潇腾（西安电子科技大学）

13:30-13:40　**论坛介绍**

13:40-14:05　**全双工高速SerDes收发机及面向UCIe的重定时光接收机阵列**
桂小琰　西安交通大学

14:05-14:30　**高速光电互连网络中的电接口IP核与芯片**
郑旭强　中国科学院微电子研究所

14:30-14:55　**高速高密度接口的兼容性与可测性技术进展**
赵潇腾　西安电子科技大学

14:55-15:20　**面向智算场景的高密度、高速互连抗串扰电路技术**
杜　源　南京大学

15:20-15:40　**休息**

15:40-16:05　**采用嵌套多环路反馈的多相时钟生成技术**
许　灏　复旦大学

16:05-16:30　**224Gb/s XSR接收机设计**
叶秉奕　华东师范大学

16:30-16:55　**应用于三维集成的新形态高性能太赫兹无线互连技术研究**
江　晨　复旦大学

16:55-17:20　**面向高速互连的时钟生成与时钟数据恢复电路研究进展**
张　钊　中国科学院半导体研究所

论坛4：3DIC物理设计EDA技术

论坛会场：3F大宴会厅3　　论坛时间：13:30-17:40

论坛主席：游海龙（西安电子科技大学）、贺青（同济大学）

13:30-13:40 **论坛介绍**

13:40-14:10 **面向芯粒互连的布线方法研究**
姚海龙　北京科技大学

14:10-14:40 **Le3DIC: 融合PI与PV工具的2.5D/3D 协同设计与实现平台**
陈建利　复旦大学/上海立芯

14:40-15:10 **面向2.5D/3D集成芯片的跨阶段仿真建模与探索优化**
翟建旺　北京邮电大学

15:10-15:40 **休息**

15:40-16:10 **基于汉擎底座的全流程三维集成电路物理设计解决方案**
王志昂　复旦大学

16:10-16:40 **三维集成电路布局算法研究**
朱自然　东南大学

16:40-17:10 **面向先进封装的物理设计：芯粒布局与热-互连协同优化**
金　洲　浙江大学

17:10-17:40 **从电路划分视角看 3DIC 设计中的 EDA 技术挑战**
毕舜阳　西安电子科技大学

论坛5：面向AI的三维存储器设计及其应用

论坛会场：3F多功能厅2　　论坛时间：13:30-17:40

论坛主席：司鑫（东南大学）、拜福君（西安紫光国芯半导体股份有限公司）

13:30-13:40 **论坛介绍**

13:40-14:10 **以3D NAND为中心的端侧推理混合存储AI架构**
单伟伟　东南大学

14:10-14:40 **新型三维阻变存储器**
高　滨　清华大学

14:40-15:10 **面向智能时代的三维异质集成DRAM**
周　骏　西安紫光国芯半导体股份有限公司

15:10-15:40 **休息**

15:40-16:10 **3D近存通用计算**
张瑞凯　新紫光智遨通

16:10-16:40 **基于多维冗余压缩的高能效AI计算加速器设计**
林　军　南京大学

16:40-17:10 **高密度片上集成三维阻变存储器**
许晓欣　中国科学院微电子研究所

17:10-17:40 **面向大模型推理的3D堆叠存算一体AI芯片与可扩展计算平台**
郭　安　后摩智能科技股份有限公司

论坛6：三维堆叠和混合键合前沿工艺

论坛会场：3F多功能厅3　　论坛时间：13:30-17:30

论坛主席：李力一（东南大学）、薛兴涛（盛合晶微半导体）

13:30-13:40　**论坛介绍**

13:40-14:10　**深度解析混合键合精度**
郭万里　拓荆键科（海宁）半导体设备有限公司

14:10-14:40　**从装备到工艺：先进键合技术赋能异质集成规模化落地**
郭　超　青禾晶元半导体科技（集团）有限责任公司

14:40-15:10　**面向三维集成的键合技术发展趋势**
谭昊天　芯慧联芯（江苏）科技有限公司

15:10-15:40　**三维堆叠混合键合技术中的原子级精密清洗技术的革新与量产价值**
严　宏　杭州沐芯联科技有限公司 / 惠州学院

15:40-16:10　**休息**

16:10-16:30　**基于表面活化的异质异构键合技术**
王晨曦　哈尔滨工业大学

16:30-16:50　**堆叠芯片的三维热层析和热管理技术**
程　哲　北京大学

16:50-17:10　**面向先进节点的三维集成技术**
赵　鹏　北京大学

17:10-17:30　**面向芯粒封装的纳米孪晶铜柱互连调控及可靠性研究**
撒子成　哈尔滨工业大学

论坛7：第三届集成芯片和芯粒技术开源社区大赛

论坛时间： 13:30-17:30

论坛会场： 2F竹厅

论坛主席： 王小航（浙江大学）、朱浩哲（复旦大学）

论坛8：IEEE Chiplet Workshop 2026

论坛会场： 2F梅兰厅　　**论坛时间：** 13:30-17:30

论坛主席： 陈迟晓（复旦大学）、孙广宇（北京大学）
陶俊（复旦大学）、Grace Li Zhang（德国达姆施塔特工业大学）

Chiplet Systems: Partitioning, Cross-Die Communication, and AI Computing

题目： Dataflow-Driven Heterogeneously-Integrated Edge-Computing Chip Architecture
作者： Changlin Chen, Haijun Liu and Qingjiang Li

题目： ChiPlanner: Physically-Aware and Timing-Driven Design Planner for 2.5D Multi-Chiplet Systems
作者： Zixuan Li, Kanglin Tian, Fan Hu, Zirui Li, Xinyue Wu, Hengyuan Zhang, Shixin Chen, Jianwang Zhai, Xinfei Guo and Kang Zhao

题目： Local Stability Theory for Reinforcement Learning Partitioning Policies under Graph Perturbations and Multilevel Netlist Partitioning Method
作者： Shihai Li, Zheng Peng and Yuhong Dai

题目： QoS Analysis for UCIe-based Cross-die Communication using Network Calculus
作者： Chen Yang, Yuming Jiang and Zhonghai Lu

题目： HBF Sucks? A Full-Stack Characterization of High-Bandwidth Flash for KV-Centric LLM Serving
作者： Zhuoran Li, Zhuohang Bian, Xin Huang, Yibo Zhao, Guangyu Sun and Youwei Zhuo

Break

Advanced Packaging: Physical Design, Interconnects, and Process Modeling

题目： TEMPO: Topology-Agnostic Thermal Surrogate Learning for Advanced 2.5D/3D Packages with Scarce Training Data
作者： Bingrui Zhang and Jimin Wen

题目： Si Bridge/Interposer Design and Verification in 2.5D Advanced Package with UCIe Interconnection
作者： Yongpei Liu, Jiaqi Fan, Yangming Wang, Jiwen Yu, Ze Li, Yuanyuan Lu, Tao Yu, Xin Jiang and Ruisheng Liu

题目： CIT-Bench1.0: Open-Source Benchmark Suite for Chiplet-based Advanced Packaging
作者： Xiaokun Lin, Jixiang Zhu, Yujie Wang, Xiaoting Wang, Zhuolun Song, Zhixin Yue, Longxiang Yin, Ying Wang and Yinhe Han

题目： Warpage Bifurcation Behavior of Si and SiC Interposer Wafers in Chiplet-Based 2.5D Packaging
作者： Hanwen Cui, Yanze Gao, Xiaoyue Ding, Zhaotian Li, Xianyi Zhao, Rui Zhou, Sheng Liu and Zhaofu Zhang

题目： Multiphysics Modeling and Machine Learning Prediction of Copper Electroplating in High-Aspect-Ratio Through-Silicon Vias
作者： Xiaoyue Ding, Hanwen Cui, Zhaotian Li, Yanze Gao, Yuzheng Guo, Sheng Liu and Zhaofu Zhang

论坛9：硅转接板与玻璃基板

论坛会场：3F多功能厅4　　论坛时间：13:30-17:40

论坛主席：张召富（武汉大学）、刘丰满（华进半导体封装先导技术研发中心有限公司）

13:30-13:40 **论坛介绍**

13:40-14:10 **玻璃基射频无源器件与微系统集成**
于大全　厦门云天半导体/厦门大学

14:10-14:40 **大算力高速交换玻璃基板工艺开发进展报告**
蒲贤勇　玻芯成（重庆）半导体科技有限公司

14:40-15:10 **TGV互连失效机理研究**
杨晓锋　工业和信息化部电子第五研究所

15:10-15:40 **休息**

15:40-16:10 **2.5D先进封装硅转接板的技术与发展**
徐晓林　武汉新芯集成电路股份有限公司

16:10-16:40 **TSV转接板制造及2.5D/3D集成应用**
戴风伟　华进半导体封装先导技术研发中心有限公司

16:40-17:10 **转接板晶圆翘曲机理与多尺度建模仿真方法**
张召富　武汉大学

17:10-17:40 **激光诱导刻蚀玻璃通孔中玻璃本征网络效应与贝塞尔光束的形貌调控机制研究**
安齐昌　中国科学院微电子研究所

论坛10：3DIC系统架构与设计工具论坛

论坛会场： 3F多功能厅3　　**论坛时间：** 13:30-18:00

论坛主席： 黄嘉逸（香港科技大学（广州））、王梦迪（中国科学院计算技术研究所）

13:30-13:40 **论坛介绍**

13:40-14:10 **2.5D/3D芯粒高效热仿真有限元网格生成与模块化热模型构建**
牛　丹　东南大学

14:10-14:40 **ChipletEM: 芯粒异构集成电迁移热耦合分析**
徐勤志　中国科学院微电子研究所

14:40-15:10 **HybridSpec: Exploiting Hybrid-Bonding Memory to Accelerate LLM Serving through Heterogeneous Architecture and Speculative Decoding**
邓舒文　清华大学

15:10-15:30 **休息**

15:30-16:00 **LRM-GPU: Alleviating Synchronization Overhead for Multi-Chiplet GPU Architecture**
王明羽　中山大学

16:00-16:30 **面向大模型的3D NAND存算一体设计**
梁　令　北京大学集成电路学院

16:30-17:00 **面向三维集成的架构—物理闭环评估与高效3D Floorplan**
付荣亮　香港中文大学

17:00-17:30 **从破局到闭环，合见数字实现产品的国产新通途 UniVista 3DIC Designer & UniVista NodeClosure**
韩　盛　上海合见工业软件集团股份有限公司

17:30-18:00 **向大模型训练的晶圆级芯片：物理约束驱动的并行策略与架构协同优化**
王辉征　清华大学

论坛11：3D芯片—封装协同优化顶会论坛

论坛会场：3F多功能厅4　　论坛时间：13:30-17:40

论坛主席：刘盼（复旦大学）、刘诗玮（同济大学）

13:30-13:40　**论坛介绍**

13:40-14:10　**基于机器学习的芯粒设计、模型建立与可靠性监测**
程新红　中国科学院上海微系统与信息技术研究所

14:10-14:40　**GaN功率器件与集成技术**
魏　进　北京大学

14:40-15:10　**基于RRAM-逻辑三维堆叠的大模型近存加速芯片**
赵　亮　浙江大学

15:10-15:40　**休息**

15:40-16:10　**芯粒互连接口电源完整性研究**
江文宁　复旦大学

16:10-16:40　**EIGEN: Enabling Efficient 3DIC Interconnect with Hetero-geneous Dual-Layer Network-on-Active-Interposer**
朱浩哲　复旦大学

16:40-17:10　**System-Technology Co-Optimization for 3DIC Chiplet Integration: Thermal Uniformity and 3DEM-Driven Cross-Die Timing Analysis**
刘明阳　知存科技

17:10-17:40　**基于电化学原理的下一代三维集成芯片关键技术探索**
王　成　上海交通大学

论坛12：Chiplet EDA与物理仿真验证技术

论坛会场：3F大宴会厅1　　论坛时间：13:30-17:20

论坛主席：吴林晟（上海交通大学）、代文亮（芯和半导体科技（上海）股份有限公司）

13:30-13:40　**论坛介绍**

13:40-14:05　**半导体芯片中高性能多物理场耦合求解器开发：挑战与应用**
尹文言　浙江大学信电学院

14:05-14:30　**Tau原生设计方法学及EDA思考与实践**
刘晓明　北京华大九天科技股份有限公司

14:30-14:55　**多智能体驱动的多物理场仿真与集成芯片设计新范式**
蒋历国　芯和半导体科技（上海）股份有限公司

14:55-15:20　**集成芯片多物理场高效仿真技术**
唐　旻　上海交通大学

15:20-15:40　**休息**

15:40-16:05　**面向STCO的多物理EDA**
詹启伟　浙江大学

16:05-16:30　**人工智能时代的光电集成芯片仿真**
杜刘革　山东大学

16:30-16:55　**EDA兼容的硅光器件模型建造**
曹国威　联合微电子中心有限责任公司

16:55-17:20　**3DIC Signoff 仿真验证 -- 国产EDA行芯实践分享**
任　旭　杭州行芯科技有限公司

论坛13：算力芯片先进供电架构与关键器件技术

论坛会场：3F多功能厅1　　论坛时间：13:30-17:40

论坛主席：程林（中国科学技术大学）、陈映平（复旦大学）

13:30-13:40 **论坛介绍**

13:40-14:10 **面向算力处理器的三维垂直供电芯片与系统**
路　延　清华大学

14:10-14:40 **面向高算力芯片的垂直供电：从磁性元件到拓扑架构的关键技术研究**
王　平　香港科技大学

14:40-15:10 **调压型谐振开关电容在高性能供电中的探究和应用**
屈万园　浙江大学

15:10-15:40 **休息**

15:40-16:10 **面向AI供电先进功率软磁材料及应用技术**
满其奎　中国科学院宁波材料技术与工程研究所

16:10-16:40 **动态应力下碳化硅 MOSFET 功率器件的性能退化、失效机理及多因素耦合的可靠性研究**
刘　盼　复旦大学

16:40-17:10 **GaN功率器件及集成技术研究进展**
刘斯扬　东南大学

17:10-17:40 **集成GaN功率驱动关键技术研究**
闫　冬　中国科学技术大学

论坛14：三维堆叠芯片系统设计封装协同（STCO）

论坛会场： 3F大宴会厅3　　**论坛时间：** 13:30-17:40

论坛主席： 吴语茂（复旦大学）、王逸群（湖北星辰技术有限公司）

13:30-13:40 **论坛介绍**

13:40-14:10 **工艺-多场协同效应下的器件性能及可靠性分析**
陈文超　上海交通大学

14:10-14:40 **模型驱动的射频化合物半导体工艺-电路协同优化**
徐跃杭　电子科技大学

14:40-15:10 **多芯粒集成芯片跨层级多物理建模仿真技术研究**
王大伟　杭州电子科技大学

15:10-15:40 **休息**

15:40-16:10 **面向三维堆叠芯片的跨层设计自动化与STCO**
朱可人　复旦大学

16:10-16:40 **AI 赋能先进封装设计新范式：2.5D/3DIC EDA全流程 STCO 协同创新**
赵　毅　珠海硅芯科技有限公司

16:40-17:10 **三维堆叠芯片的高可靠系统设计及封装协同(STCO)**
李　莺　新紫光集团前沿技术研究院

17:10-17:40 **面向智算应用的三维互连与系统集成**
王逸群　湖北星辰技术有限公司

论坛15：太空算力与具身智能: 从系统架构到芯粒技术

论坛会场：3F大宴会厅2　　论坛时间：13:30-17:40

论坛主席：涂锋斌（香港科技大学）、许浩博（中国科学院计算技术研究所）

13:30-13:40 **论坛介绍**

13:40-14:10 **面向太空算力应用的异构芯粒集成技术趋势与进展**
林鹏荣　北京微电子技术研究所

14:10-14:40 **星载SAR智能成像处理芯片技术及应用**
杨　柱　北京理工安徽空天信息研究院

14:40-15:10 **下一代智算系统设计与探索：从地面超节点到太空智算集群**
朱振华　清华大学深圳国际研究生院

15:10-15:40 **休息**

15:40-16:10 **AIRSEAI：面向具身智能的开放基础架构**
刘少山　深圳市人工智能与机器人研究院（AIRS）

16:10-16:40 **Chiplet异构算力芯片产品与应用**
孟　飞　北极雄芯信息科技（西安）有限公司

16:40-17:10 **2.5D/3D智能体加速架构与AI辅助设计方法**
贾天宇　北京大学

17:10-17:40 **芯粒在机器人芯片中的应用前景与设计方法**
甘一鸣　中国科学院计算技术研究所

论坛16：三维集成芯片计算与测试关键技术论坛

论坛会场：3F多功能厅2　　论坛时间：13:30-17:10

论坛主席：苏菲（清华大学）、蔡志匡（南京邮电大学）

13:30-13:40　**论坛介绍**

13:40-14:10　**3D 芯片测试设计需求与挑战**
杨　凡　北京华大九天科技股份有限公司

14:10-14:40　**基于 M3D-RRAM 的 CIM 加速器非理想特性感知计算方法研究**
俞　洋　哈尔滨工业大学

14:40-15:10　**AI+3DIC EDA重构先进封装设计-工艺-测试协同优化(STCO)新范式**
赵　毅　珠海硅芯科技有限公司

15:10-15:40　**休息**

15:40-16:10　**集成芯片中的互连时序监测方法探究**
赖李洋　汕头大学

16:10-16:40　**三维集成芯片互连的测试技术进展**
崔小乐　北京大学深圳研究生院

16:40-17:10　**芯粒测试关键技术研究**
蔡志匡　南京邮电大学

主旨报告嘉宾



光电融合技术发展趋势与应用

祝宁华

南开大学智能光子研究院院长 中国科学院院士

报告摘要:

光电融合集成技术是突破后摩尔时代算力、通信速率与能耗瓶颈的关键路径。本报告将系统阐述光电融合的技术内涵、发展趋势以及应用挑战等内容。

光电子与微电子正从“优势互补”走向“深度融合集成”，这是应对信息技术“高速率、低功耗、智能化”三重挑战的必由之路。本报告将梳理光电融合互连从柜间、板间向片间、片内逐级下沉的演进趋势，分析核心芯片与模组从LPO/LRO向NPO、CPO再向OIO深化的技术路线，并探讨光计算、光感知与多功能融合等新兴方向的内涵与前景。

与此同时，本报告将聚焦耦合损耗、转换效率、工艺兼容与产业生态四大核心问题。当前我国在该领域面临工艺平台分散、核心设计软件缺失、封装标准与规模化制造能力不足等结构性短缺，提出从技术攻关到生态构建的方向性建议，促进光电融合技术与应用协同发展。

嘉宾介绍:

祝宁华，南开大学，教授，中国科学院院士。1990年毕业于电子科技大学获博士学位，1994年在中山大学晋升教授；1998年入选中国科学院“百人计划”到中国科学院半导体研究所工作，曾任副所长（法定代表人）；目前担任南开大学智能光子研究院院长。1998年获国家杰出青年科学基金，作为第一完成人获国家技术发明二等奖2项，以及中国科学院杰出成就奖（个人）和光华工程科技奖。任国家重点专项“光电子与微电子器件及集成”专家组组长。

主旨报告嘉宾



集成电路器件工艺突破创新

叶甜春

中国科学院微电子研究所研究员

报告摘要:

集成电路制造技术是发展现代信息与人工智能技术的重要基础。上世纪80年代起，我国集成电路量产工艺长期依赖全套引进落后技术，严重受制于人。中国科学院微电子研究所持续攻关十几年，超前国内工业界多代，在22纳米以下集成电路制造工艺领域提出一系列创新技术方法，在22纳米后高k金属栅、14纳米FinFET以及新型GAA晶体管工艺中突破了栅极精准控制、性能调控、结构微缩等关键难题，建立了具备全面自主知识产权的技术体系，解决了国内重点装备企业在研制12英吋关键装备和光刻胶等关键材料时面临的难题，广泛应用到国内外龙头企业的尖端产品量产制造。

嘉宾介绍:

叶甜春，中国科学院微电子所研究员，IEEE Fellow，毕业于复旦大学，曾任国家科技重大专项技术总师、中国科学院微电子所所长，现任中国半导体协会副理事长兼集成电路分会理事长，是我国逻辑器件工艺技术的领军者，共获发明专利授权100余项，获国家技术发明二等奖4项、省部级科技奖7项。

主旨报告嘉宾



基于DRAM器件创新，探索内存与逻辑集成新范式

曹堪宇

长鑫科技集团股份有限公司总裁

报告摘要:

本次报告针对后摩尔时代“内存墙”产业痛点，系统梳理现有内存与逻辑集成技术的瓶颈，分享长鑫在DRAM器件领域以及新型集成范式上的前沿技术积累及创新实践。

嘉宾介绍:

曹堪宇博士于2017年加入长鑫科技集团股份有限公司，现任长鑫科技总裁，全面负责公司的产品和制程平台技术研发及运营管理工作。

自2017年加入长鑫科技以来，曹堪宇博士先后担任长鑫科技产品和制程平台技术研发执行副总裁、市场中心和战略中心负责人。作为公司最主要的技术带头人，曹堪宇博士主导制定了公司发展战略及产品设计路线，并负责所有技术代制程平台的自主开发，成功实现DDR4/LPDDR4X、DDR5/LPDDR5/LPDDR5X存储芯片从设计到量产的突破，填补了国内DRAM产品和技术的空白。

加入长鑫科技前，曹堪宇博士曾担任过北京兆易创新科技股份有限公司战略市场副总裁、NAND闪存事业部总经理。曹堪宇博士也是半导体行业的连续创业者，先后创立了昆天科和北京凡达讯等公司。

曹堪宇博士先后获得清华大学应用物理学学士学位以及加利福尼亚大学伯克利分校博士学位，在半导体行业从业25年以上，深度参与和推动了中国DRAM产业发展，拥有80多项授权发明专利，是国家科技部、工信部专家库成员，并荣膺2023首届“国家卓越工程师”表彰。

主旨报告嘉宾



高端先进封装重构AI算力

陈灵芝

江苏长电科技股份有限公司副总裁

报告摘要:

本报告将围绕AI时代，结合长电XDFOI、XDiPE平台实践，介绍先进封装2.5D/3D集成、光电共封装等关键技术和支撑高带宽存储、超节点互联以及高效供电等AI基础设施核心需求。AI并没有创造先进封装，但正在以前所未有的方式释放先进封装的价值与潜能，并推动其成为AI时代系统创新的重要使能平台。

嘉宾介绍:

陈灵芝，江苏长电科技股份有限公司副总裁&应用事业部总经理，粒子物理学博士，曾任长电科技副总裁&供应链总经理，长电科技材料事业中心总经理、工程中心研发总监等，曾兼任国家集成电路产业封测联盟副秘书长，中半协集成电路分会副秘书长。参与编写《中国集成电路产业封测产业链技术创新路线图》、《微纳电子学科发展战略研究---SiP封装及测试专题》、《集成电路全书》等书籍，及在各类杂志发表文章，授权专利三十多项。

主旨报告嘉宾



多范式统一的图计算芯片与系统设计理论与方法

金 海

华中科技大学教授

报告摘要:

图计算是支撑关联数据分析与智能决策的关键技术，广泛应用于社交网络、金融风控、生物医疗等多个关键领域。图计算具有范式多样、高度稀疏、动态关联等计算特性，传统面向单一范式的设计理论和执行架构难以满足其在性能、通用性和扩展性方面的需求。因此，图计算多范式的统一抽象与高效执行已成为当前学术界和产业界面临的重大挑战。本报告将围绕图计算多范式统一抽象模型的构建、面向稀疏数据的高效计算架构设计、以及资源高利用率的异步执行方法等核心方向，系统介绍研究团队取得的一系列研究进展，并对未来工作进行展望。

嘉宾介绍:

金海，博士，华中科技大学教授、博士生导师，长江学者特聘教授，国家杰出青年基金获得者，国家“万人计划”科技创新领军人才。中国计算机学会副理事长、会士，ACM Fellow ，IEEE Fellow。全球计算联盟理事长。华中科技大学“大数据技术与系统国家地方联合工程研究中心”主任、“服务计算技术与系统教育部重点实验室”主任。全国创新争先奖获得者、中国计算机学会王选奖获得者。国务院特殊津贴专家。“十三五”“云计算与大数据”国家重点研发计划专家组副组长、“十四五”“先进计算与新兴软件”国家重点研发计划专家组组长。获国家自然科学二等奖1项、国家科技进步二等奖2项、国家发明二等奖1项。主要研究领域为计算机体系结构、并行与分布式处理、云计算与大数据。

主旨报告嘉宾



韬定律对EDA的挑战

黄 宇

华为海思EDA首席架构师

报告摘要:

τ scaling Law will become one of the most important silicon roadmaps in the post-Moore's Law era, bringing unprecedented challenges to EDA tools. We need to collaborate across multiple EDA domains, including Architecture, Synthesis, DFT, APR, STA, PI/SI, Thermal, and Multi-Physics, to achieve mass production of τ scaling Law chips and systems.

嘉宾介绍:

EDA R&D leader with 25+ years of experience spanning design-for-test (DFT), automatic test pattern generation (ATPG), test compression, scan-chain and logic diagnosis, yield learning, and the application of machine learning / AI to test and EDA. Twenty years at Mentor Graphics / Siemens EDA (2000–2020) followed by leadership of EDA methodology, flow, architecture and algorithm development at HiSilicon (Huawei) since 2020. Inventor on 40+ granted U.S. and Chinese patents with many more pending, and author or co-author of 130+ peer-reviewed publications. Recognized for transforming research results in EDA technology into successful commercial EDA products.

主旨报告嘉宾



智能算力基础设施的机遇与挑战

李 斌

曙光信息产业股份有限公司高级副总裁

报告摘要:

当前，以大模型为代表的新一代人工智能技术持续迭代演进、能力广泛泛化，“人工智能+”行业应用持续深化，AI for Science推动科研范式跨越式升级，加速超算与智算深度融合。在此背景下，系统级、软硬件协同的设计与优化，已成为大型算力基础设施创新的核心关键。目前，智能超算系统在芯片、系统、能效、应用等层面仍面临诸多挑战，涵盖超智融合算力芯片与异构并行体系结构、分布式紧耦合高效系统设计、复杂系统可靠性、大规模高密度供电与冷却、自主软硬件生态协同、集群系统与计算作业智能运维等多个方面。攻克上述关键难题，将有效推动智能时代算力基础设施的创新发展。

嘉宾介绍:

李斌，曙光信息产业股份有限公司（中科曙光）高级副总裁，曙光北京公司董事长。分管公司研发技术体系及高端计算业务。博士毕业于中国科学院化学研究所，量子动力学计算方法和高性能计算研究方向。2009年加入中科曙光，长期从事高端计算领域的技术研发和产品规划工作，具有超过20年行业经验，在计算机体系结构、芯片、系统等相关软硬件技术方面有全面知识结构，对众多领域和行业应用有深入理解。主持了曙光scaleX系列超集群系统等产品研发，承担及参与过多项国家级科研及产业化项目，曾获北京市科技进步一等奖。

主旨报告嘉宾



当前先进封装面临的挑战——来自江城实验室一线的实践

杨道虹

江城实验室主任 湖北大学集成电路学院院长

报告摘要:

随着智算产业快速发展，云端训练与端侧推理场景算力需求持续爆发，摩尔定律放缓，行业发展重心逐步从晶体管制造转向芯片互连集成。先进封装依托高密度异构集成能力，成为突破芯片性能、带宽与能效瓶颈的关键技术，支撑大算力高带宽芯片落地，是当前半导体产业的重要发展方向。本报告围绕封装技术和产业生态两大维度，剖析当前先进封装面临的挑战。报告将结合江城实验室一线的实践，介绍其在大尺寸封装应力管控、高密度集成散热、多场耦合下的信号完整性等问题取得的一系列研究进展，并对先进封装产业协同的探索进行展望，为我国先进封装技术的自主化发展提供实践参考。

嘉宾介绍:

杨道虹教授，北京工业大学博士、清华大学博士后，现任江城实验室主任、湖北大学集成电路学院院长，兼任中国半导体行业协会集成电路分会副理事长、湖北省半导体行业协会会长。长期致力于集成电路技术创新与管理创新研究，带领团队成功研发高密度晶圆级集成、芯粒异质异构集成、高密度转接板互连集成等先进封装关键核心技术，推动三维存算一体、高带宽AI推理等芯片产业化。杨道虹教授享受国务院特殊津贴、入选国家高层次人才特殊支持计划、荣获湖北省科技进步一等奖，并被授予湖北省“荆楚楷模”等荣誉。

论坛1：三维集成芯片设计与应用



论坛主席

杨建国

张江实验室研究员

杨建国，张江实验室/复旦大学研究员，博士生导师，上海市领军人才。主要从事存储器电路设计及应用、新型架构芯片、三维集成等研究工作。获国家自然科学基金委青年科学基金项目（A类）、国家自然科学基金委青年科学基金项目（B类）资助，主持国家自然科学基金委重点项目、173基础加强计划项目、中国科学院战略性先导B、科技部02专项攻关、国家攻关专项等多个国家级重大项目和课题，入选中国科学院青年创新促进会，获华为奥林帕斯先锋奖、上海市科技系统五四青年奖章等奖励。在芯片领域顶级国际学术会议（ISSCC、IEDM、VLSI）和期刊（IEEE JSSC、TCAS-I、TCAS-II、TVLSI）等发表论文100余篇，申请发明专利80余项，多项实现产业转化。



论坛主席

王 扬

清华大学副研究员

王扬博士为清华大学副研究员,获得国家自然基金青年科学基金项目（B类）资助，入选中国电子学会青年人才托举、获得清华大学“未来芯片学者”，从事可重构智能计算芯片架构、存内计算芯片架构与三维集成智能计算芯片架构研究，作为负责人主持科技部重大项目课题/国家自然基金委青年基金等项目7项。近三年来，以第一/通讯作者发表ISSCC/JSSC/VLSI等论文40余篇，研究成果入选“中国芯片科学十大进展”，3次获得“中国半导体学报十大进展提名奖”，获得CCF CHIP Best Paper Award。

报告讲者



Déjà vu 与3DIC：一场跨越时空的技术轮回

谢 源

香港科技大学方氏工程学讲席教授，IEEE Fellow

报告摘要：

三维集成的发展，是观察半导体技术与计算机体系结构如何相互推动的一个重要窗口。本报告将结合报告人在过去二十年中参与三维集成相关研究及产业实践的经历，回顾这一领域从早期架构探索到多样化产业应用的演进过程，分享其中的观察与体会。报告将围绕计算、存储与互连的协同设计，讨论新技术如何拓展架构设计空间，以及应用需求和工程约束如何影响技术的采用与发展，并结合近年来芯粒化设计与人工智能计算的发展，探讨三维集成的未来方向。

嘉宾介绍：

谢源，香港科技大学方氏工程学教授、电子及计算机工程学系讲座教授，IEEE、ACM及AAAS会士。获清华大学电子工程学士学位、普林斯顿大学计算机工程硕士及博士学位，曾任教于美国宾夕法尼亚州立大学和加州大学圣巴巴拉分校，并拥有IBM、AMD及阿里巴巴的产业界工作经历。主要研究方向包括计算机体系结构、超大规模集成电路、电子设计自动化及机器学习。曾获美国国家科学基金会CAREER奖、IEEE计算机学会Edward J. McCluskey技术成就奖及IEEE电路与系统学会产业先锋奖。

报告讲者



面向先进AI芯片的三维集成供电技术

汪 涵

香港大学教授 香港大学先进半导体与集成电路研究院院长
IEEE Fellow

报告摘要:

随着人工智能芯片算力和集成密度持续提升，芯片功耗快速增长，传统基于芯片外围和封装基板的横向供电方式面临供电路径长、寄生阻抗高、电压降增大以及供电效率下降等突出挑战，电源完整性和热管理正逐渐成为制约先进AI芯片性能进一步提升的重要瓶颈。本报告将围绕面向先进AI芯片的三维集成供电技术展开，介绍通过器件、芯片、先进封装及电源系统协同设计，构建垂直化、短路径的供电技术思路。重点讨论三维集成供电架构与垂直互连、高功率密度电源器件、先进封装及中介层集成，以及供电与散热协同优化等关键问题。通过将电源转换与供电网络进一步靠近计算芯片，可显著降低互连寄生参数与供电损耗，提高供电效率。报告还将结合团队近期在三维集成供电、先进功率器件、低阻互连及3D集成热管理等方面的研究进展，探讨面向未来高性能AI计算系统"供电-计算-散热协同集成"发展的技术趋势及关键挑战。

嘉宾介绍:

汪涵，香港大学教授、香港大学先进半导体与集成电路研究院院长、IEEE Fellow，曾任台积电前沿材料与器件研发部部长、美国南加州大学终身教授。长期从事先进半导体器件、低维半导体材料与器件及三维集成技术研究。曾任IEDM会议技术委员会成员、IEEE纳米技术学会杰出讲师，获得IEDM最佳论文奖、台积电最佳发明专利奖、香港工程科技奖、美国NSF CAREER Award、IEEE纳米技术学会杰出青年科学奖等奖项。发表Nature、Science及其子刊论文25篇，IEDM论文30余篇，2018-2025年连续八年入选科睿唯安全球高被引科学家。

报告讲者



端侧大模型AI芯片产业化及应用

周 强

上海光羽芯辰科技有限公司创始人兼董事长

报告摘要:

端侧大模型AI芯片正推动终端智能成为创新新动力，凭借低延迟、高隐私和低功耗赋能智能手机、PC及具身智能等多元场景。通过存算一体架构加3D异构等关键技术，端侧大模型AI芯片提供了高效推理的方案。然而在产业化及应用进程中，仍需突破算力与功耗的平衡、软硬件生态构建及安全合规等多重挑战。本演讲将解析端侧大模型AI芯片产业化及应用路径。

嘉宾介绍:

光羽芯辰创始人兼董事长，复旦大学博士。研究方向聚焦端侧大模型AI芯片与3D存算及近存算一体化架构，公司同时在端云协作推理领域形成新布局。主导多个AI芯片项目的规格定义、架构设计与流片落地，在端侧大模型推理能效与3D存算一体化技术上实现多项关键突破。带领团队自研EdgeAIon®全栈软硬件体系，牵头制定行业官方标准，公司累计发明专利近百项。基于“存储与计算双轮驱动”战略，产品矩阵覆盖80%以上端侧AI芯片主流应用场景，致力于打造高性能、普惠的国产AI算力解决方案。

报告讲者



3D-IC 物理设计

余 备

香港中文大学教授、工程学院助理院长

报告摘要:

本报告聚焦三维集成电路（3D-IC）的物理设计，比较了自主研发的3D引擎与复用商业工具的优劣。我们提出了一系列3D全局布局、合法化与布线算法，包括异构集成、混合键合、HBT优化及GPU加速技术。实验结果表明，所提方法在线长、HBT数量、功耗和运行时间上均优于现有方法，为3D-IC设计提供了高效、可扩展的解决方案。

嘉宾介绍:

余备教授是香港中文大学计算机科学与工程系教授，工程学院助理院长。2010年毕业于清华大学计算机科学与工程系获硕士学位，2014年毕业于美国德克萨斯大学奥斯丁分校电子计算机工程系，获博士学位。在2021年获得了IEEE CEDA 职业发展奖（early career award），是该奖项创立近20年来，唯一的非美国本土获奖学者。获得过IEEE TSM 2022, ICCAD 2024 & 2021 & 2013, DATE 2022, ASPDAC 2021 & 2012, ISPD2017、SPIE2016等世界顶级期刊会议的最佳论文奖，是世界上唯二的学者同时获得过ICCAD的前端和后端两个最佳论文奖项（另一位是不莱梅大学的Rolf Drechsler教授）。他在世界级CAD竞赛中荣获多次世界前三名。已发表超过100篇重要国际期刊论文（包含100多篇EDA领域世界顶级期刊论文 IEEE TCAD）和300余篇本领域重要国际会议论文。其中包括了200多篇CCF-A的期刊和会议论文。在EDA的两大顶级会议，DAC'2024和ICCAD'2026分别发表了17篇和15篇长论文，分别创造了DAC和ICCAD的历史记录。担任了计算机辅助设计领域多个世界顶级期刊和国际重要会议的编委会委员和客座编辑，是IEEE TCCPS Newsletter的总编辑，同时也是IEEE CEDA香港分会的前任主席。因为在领域内的杰出贡献，获得了2022年ACM SIGDA功勋服务奖（Meritorious Service Award），2024年DAC 40岁以下杰出创新奖（Under-40 Innovator Award），和香港研資局（RGC）2024年度研究學者奖。

报告讲者



架构创新重塑AI芯片新范式

彭贵强

上海东方算芯科技股份有限公司董事长特别助理

报告摘要:

随着各类AI模型与应用快速落地普及，全球数据总量与算力需求呈爆发式增长，有力推动人工智能基础设施进入高速发展阶段。AI算力芯片是人工智能基础设施的核心支撑。上海东方算芯科技股份有限公司致力于通过“软件定义芯片”、“近存计算”等架构创新，打造高性能、高能效、高灵活性的算力芯片产品。推出了全球首颗软件定义近存计算3D芯片DF1000，并围绕DF1000打造产品矩阵，最终实现规模化量产。

嘉宾介绍:

彭贵强，清华大学博士、“水木学者”博士后，入选上海市东方英才项目拔尖计划、上海市浦东新区“明珠领军人才”计划。长期在软件定义芯片、可重构计算、近存计算等领域开展技术研究和产品开发工作。目前任上海东方算芯科技有限公司董事长特别助理，负责公司战略规划、产品管理和前沿技术研究等工作。曾主持并参与了多个国家级、省部级项目，在集成电路旗舰学术期刊和会议上发表论文近20篇，授权发明专利5项，出版专著2本。

报告讲者



基于算法-芯片协同设计的大模型高效推理

李 萌

北京大学研究员

报告摘要:

以ChatGPT为代表的大模型快速发展，为自然语言处理、计算机视觉等领域带来了重要的技术革新。然而，依据scaling law，大模型的参数量呈现指数级增长的趋势，造成了严峻的存储和带宽瓶颈。而大模型的自回归解码特性和长上下文计算需求则进一步增加了访存带宽需求。在本次报告中，我将介绍课题组在大模型并行解码、自适应调度、长文本压缩等方面的一系列研究，通过模型/近存计算加速器协同设计，缓解大模型推理的带宽瓶颈，提升大模型推理的效率和能效。

嘉宾介绍:

李萌于 2022 年加入北京大学集成电路学院和人工智能研究院，任助理教授，博士生导师，博雅青年学者。他曾任职于美国 Facebook 公司的 Reality Lab，作为技术主管主导虚拟现实和增强现实设备中的高效 AI 算法和系统研究。他于 2018 年和 2013 年分别在美国德州大学奥斯汀分校和北京大学获得博士和学士学位。他的研究兴趣集中于高效、安全的多模态人工智能加速算法和芯片，旨在通过算法到芯片的跨层次协同设计和优化，为人工智能构建高能效、高可靠、高安全的算力基础。他在国际顶级会议、期刊发表文章 130 余篇，引用 1 万余次。此外，他还获得了 ACM SIGDA 杰出青年教师奖、蚂蚁 InTech 科技奖 Future、CCF 集成电路 Early Career Award 等一系列奖项，并指导学生获得 DAC 生成式人工智能系统设计竞赛第一名、AICAS 大模型系统设计竞赛第一名、ACM SIGDA 本科生科研竞赛第一名等奖项。

报告讲者



面向生成式大模型三维集成的电路与系统协同优化

刘 波

东南大学集成电路学院副教授、博导

报告摘要:

生成式大模型参数规模呈指数级增长，传统加速器面临存储墙与热墙的双重物理瓶颈。三维集成以混合键合与硅通孔垂直堆叠存储和计算电路，为突破带宽与算力限制开辟新路径。本报告介绍团队在三维集成大模型部署方向的系列探索：针对高密度TSV阵列的信号串扰挑战，提出智能自适应TSV分配方案，通过差分编码与动态簇映射增强信号完整性；在此基础上，采用稀疏感知与精度自适应量化实现混合精度计算，并通过时空交错并行调度将异构层差异转化为隐藏节拍差，显著提升硬件利用率；针对MoE模型动态路由引发的存储端访问集中与计算端负载不均两类耦合失衡及垂直热传导问题，提出存算协同热感知调度，通过预复制及计算-通信流水重叠有效抑制瞬态热突；面向LLM核心算子映射与硬件部署，设计近似计算加速芯片，通过缩放-激活融合流水线将多种操作映射到同一数据通路，显著降低数据搬移、提升计算能效。以上工作展示了三维集成从互连、架构到算法-硬件协同设计，系统性缓解大模型部署能效与热可靠性问题的技术路径。

嘉宾介绍:

东南大学集成电路学院副教授、博导，长期从事智能计算电路与芯片设计研究，主持国家自然科学基金、国家重大科技专项课题、国家重点研发计划课题等。在ISSCC、MICRO、IEDM、DAC等集成电路设计权威学术会议与期刊中发表论文50余篇。在28nm、22nm等工艺节点成功流片10余款原型芯片，部分技术已在国内行业领军企业产品中完成验证部署。

论坛2：晶圆级芯片前沿进展



论坛主席

胡 杨

清华大学副教授

胡杨，清华大学集成电路学院副教授、国家高层次人才特聘教授。主要从事晶圆级 AI 芯片、计算机体系结构、大模型训练与推理系统等方向研究。主持科技创新2030“新一代人工智能”重大项目。获得体系结构顶会 ISCA / HPCA 最佳论文提名3次，入选 ISCA / HPCA / MICRO 名人堂。长期担任ISCA / HPCA 程序委员，IEEE TC 编委。曾获 2020 年 NSF CAREER Award，中国电子学会青年科学家奖、CCF 集成电路青年科学家奖、英特尔中国研究优秀奖、智源青年学者。



论坛主席

邹 卓

复旦大学长聘教授

邹卓 复旦大学长聘教授，于2012年获瑞典皇家理工学院博士学位。主要从事高能效智能芯片与系统的研究，近年来聚焦于类脑芯片与神经型态计算的研究及其在智能计算、机器人等领域的应用，在IEEE JSSC、TCAS-I/II、ISSCC、CICC、DAC等发表论文150余篇；作为负责人目前承担国家重点研发计划、上海市科委张江重大项目、国家自然科学基金重大研究计划课题等。邹卓担任国际信息处理联合会IFIP WG8.2副主席，曾入选国家海外高层次人才、复旦大学卓识杰出人才、全球前2%顶尖科学家等。

报告讲者



面向全脑计算的晶圆级集成类脑计算架构与系统设计

环宇翔

广东省智能科学与技术研究院
国家新一代类脑人工智能公共算力开放创新平台副主任
广东智能科学与技术研究院类脑计算系统研究中心主任 / 研究员

报告摘要:

在神经与认知科学的推动下，类脑智能已成为下一代人工智能的重要发展方向。基于晶圆级集成技术的大规模神经形态计算平台，天然适合实现高密度、大规模的片上存算一体处理，成为支撑全脑仿真与类脑智能应用的核心载体。该路径通过事件驱动、异步并行的机制，显著提升能效与计算密度，但也对晶圆集成计算系统的互连架构和系统设计优化提出了新挑战。本报告将围绕晶圆级集成的类脑互连架构和计算系统设计，介绍新型集成方法驱动的类脑计算关键技术研究进展。

嘉宾介绍:

环宇翔，广东省智能科学与技术研究院研究员，类脑计算架构与超大规模处理系统研究组组长，类脑计算系统研究中心主任、国家新一代类脑人工智能公共算力开放创新平台副主任。曾于复旦大学取得微电子学与固体电子学博士学位，先后任复旦大学信息科学与工程学院助理研究员、广东省智能科学与技术研究院副研究员、研究员。环宇翔博士长期围绕领域专用处理架构（Domain-Specific Architecture, DSA）的芯片系统设计和领域应用开展研究，重点聚焦于从芯片到系统的分布式互联处理架构和设计方法的研究，包括可重构可扩展架构的领域专用处理器、复杂深度学习模型的高能效加速和分布式处理、神经拟态专用集成电路和超大规模类脑计算系统等。环宇翔博士在智能院工作期间，带领团队完成了十亿神经元规模类脑原型验证系统、天琴芯系列类脑芯片与“天琴芯海”晶圆计算机、百亿神经元规模“天琴超脑”类脑超级计算系统的研制。其主持和参与了多项国家级和省部级项目，在ISCA、DAC、IEEE TCAS-I、TCAS-II累计发表学术论文50余篇，授权发明专利10余项。

报告讲者



超越单芯片边界：面向新一代大模型的Multi-GPU原生微架构

张 宸

上海交通大学集成电路学院副教授

报告摘要:

随着大语言模型迈向万亿参数规模，AI计算面临的关键挑战已不再局限于提升单颗芯片的算力或芯片间的互连带宽，而在于如何从体系结构层面将大规模GPU组织成高效协同的逻辑计算整体。本报告将面向PCB级与晶圆级集成，探讨如何从GPU处理器指令集与微架构设计之初，便以数十乃至数百颗物理芯片协同构成一颗逻辑上的“巨型AI芯片”为目标，使跨芯片协作成为计算执行机制的内生组成，而非计算完成后的外部通信过程。围绕这一目标，本报告将分析指令集、执行控制、内存模型与互连架构的协同设计方法，并进一步探讨下一代LLM加速系统可能形成的新型微架构与可扩展计算范式。

嘉宾介绍:

上海交通大学集成电路学院副教授、博士生导师、上海市海外高层次人才、启源青年学者；长期专注于GPU以及Multi-GPU架构研究；在体系结构领域会议发表论文40篇，谷歌他引6100余次，单篇最高2900余次；获十年回顾最佳论文奖2次，最佳论文5次，包括“ICCAD十年回顾最具影响力论文奖”、“FPGA与可重构计算名人堂奖”和“ISCA 2025最佳论文奖”等。个人获世界人工智能大会“云帆奖·璀璨明星”、ChinaSys新星奖等荣誉。加入上海交大前，分别在微软和阿里平头哥负责异构智能算力集群建设，主持多个国内外重要算力集群建设和关键技术攻关。

报告讲者



软件定义晶圆级芯片自动架构探索中的若干关键技术

魏 帅

信息工程大学副教授

报告摘要:

随着大模型等人工智能应用的飞速发展，现代社会对算力提出了更高的要求，迫切需要更高能效比的计算系统，尤其是针对ChatGPT、自动驾驶等模型的训练系统，其模型训练的功耗通常达到兆瓦级别，为此，特斯拉等公司纷纷推出了晶圆级芯片Dojo、WSE等，充分利用晶圆级产品带宽大、延时低的特点提升系统效率，降低功耗，晶圆级芯片成为提升数据中心进行升级替换的一条可行之路，但是目前晶圆级芯片仍缺乏相应的设计工具，限制了其推广应用。邬院士团队系统性地探讨了晶圆级芯片所需考虑的关键因素，提出了一种面向晶圆级芯片的软硬件协同设计方法。结合晶圆级芯片光罩面积等约束，提出了晶圆级芯片分层设计思想，将晶圆级芯片架构设计抽象为一个可枚举问题；从应用出发，通过高效编译系统抽象出适宜的算子图，揭示了存储、带宽和时延在晶圆级芯片里面的制约关系；通过统筹考虑晶圆级芯粒布局和算子芯粒映射，将晶圆级架构设计空间探索问题转化为多目标优化问题，实现了面向应用的晶圆级芯片优化设计；设计了晶圆级芯片设计图形化交互界面，方便用户进行晶圆级芯片设计。

嘉宾介绍:

魏帅，男，1984年9月出生， 2012年6月毕业于解放军信息工程大学，博士学位，现任信息工程大学副教授。主要从事高性能计算和网络安全相关研究工作，主持和参加了国家核高基重大专项、国家重点研发计划等各类项目二十余项， 获得省部级科技进步一等奖1项，二等奖2项，申请国家发明专利一百余项，获评中国知网全国5%高被引学者。

报告讲者



面向晶圆级大模型推理的映射与通信优化

黄嘉逸

香港科技大学（广州）助理教授

报告摘要:

大语言模型（LLM）的规模化发展对计算和内存提出了远超传统系统能力的需求。晶圆级集成凭借其高密度、低延迟的片上互连，成为突破算力瓶颈的重要方向。然而，现有面向分布式 GPU 集群的部署策略难以适配晶圆级系统的不对等Mesh拓扑与多层带宽异构特性；同时，制造缺陷和运行时退化带来的节点/链路故障风险，也对推理的鲁棒性提出了更高要求。本报告将介绍面向晶圆级大模型推理的映射与通信优化，并内建容错机制，包括：(1) 分层映射算法，利用 Transformer 块与晶粒（Die）阵列在结构上的对称性，联合优化片间与片内的负载部署；(2) BALD 通信算法（Balanced Allocation with Load and Distance awareness），通过链路分配策略，对点对点与多播集合通信中的不规则流量进行负载均衡。

嘉宾介绍:

黄嘉逸，现任香港科技大学（广州）微电子学域助理教授。曾任阿里巴巴达摩院计算技术科学家，此前于美国加州大学圣塔芭芭拉分校从事博士后研究。分别于浙江大学和美国德州农工大学获得学士和博士学位。研究方向为计算机体系结构、互连网络与机器学习系统，研究工作主要发表于计算机体系结构（ISCA、MICRO、ASPLOS、HPCA）与人工智能（ICML、ICLR、MLSys）国际顶级会议，研究成果捷径连接混合专家模型 ScMoE 已落地美团龙猫大模型系列。曾获得英特尔 2025 年度杰出研究员奖、TAMU Dissertation Fellowship、ISQED 2026 最佳论文奖、ISCA 2025杰出Artifact奖、DATE 2022 最佳论文提名。

报告讲者



大模型晶圆级系统：从高效推理到实际部署

王梦迪

中国科学院计算技术研究所助理研究员

报告摘要:

随着大模型参数规模和推理需求持续增长，传统GPU集群正面临存储墙、通信墙和能效墙等瓶颈。凭借超大规模片上资源、超高带宽互连以及低延迟数据传输能力，晶圆级系统为大模型推理提供了新的体系结构发展方向，有望成为未来大模型计算的重要基础设施。然而，要真正实现晶圆级系统的广泛应用，不仅需要充分释放其极致计算性能，还需要解决制造缺陷带来的可靠性与商业化部署问题。本报告围绕“大模型晶圆级系统：从高效推理到实际部署”这一主题，介绍我们在晶圆级系统上的最新研究成果。首先，针对大模型推理过程中资源利用率低、通信开销大等问题，提出面向晶圆级SRAM存算系统的高吞吐推理架构，通过Token级流水线、分布式动态KV Cache管理以及通信感知映射等技术，显著提升晶圆级系统的大模型推理性能。进一步地，当晶圆级系统逐步成为大模型计算的基础设施时，如何提升可售卖算力（Sellable Effective Compute Capacity）成为产业化落地面临的新挑战。针对制造缺陷导致的性能离散问题，提出面向晶圆级芯片商业化部署的性能收敛容错框架，通过软硬件协同优化与性能分级（Performance Binning），有效提升高等级芯片良率和整体可售卖算力，为晶圆级系统的大规模部署提供支撑。

嘉宾介绍:

王梦迪，中国科学院计算技术研究所助理研究员。主要研究方向为芯粒集成芯片、晶圆级芯片。在TCAD、ASPLOS、ISCA、MICRO、DAC等国际重要会议和期刊上发表论文三十余篇，获得GLSVLSI最佳论文奖以及ICCAD最佳论文提名。担任集成电路专委执行委员、ISCA/CAL审稿人等。

报告讲者



从专用到通用：映天湖晶圆级异构多芯粒计算机的架构与原型验证

刘宏伟

中国科学院计算技术研究所高级工程师

报告摘要：

晶圆级计算机通过先进封装在单张晶圆上集成数十至数百个芯粒，为突破光罩面积对单芯片算力的限制提供了新路径，Cerebras WSE、Tesla Dojo等系统已经证明了这条路线的可行性。不过这些系统主要面向特定领域的负载定制，如何让一套晶圆级系统同时支持多种计算负载、适配不同流量模式，并在封装后难以避免的缺陷下保持可用，仍是值得探索的问题。本报告介绍我们从专用晶圆级系统走向通用晶圆级系统的一次尝试：映天湖。我们采用计算模组与互连基板解耦的架构和标准化I/O接口，让高性能计算、智能计算等不同类型的计算模组可以在同一互连基板上混合部署；借助互连芯粒的可重构设计构建可重构晶上网络，按业务流量模式在Mesh、Tree、Torus等拓扑间动态切换，模拟与FPGA原型实验表明不同拓扑对All-Reduce、All-to-All、近邻通信等流量模式各有所长；并尝试了一种拓扑无关的容错控制策略，在计算模组或链路失效时尽量保持服务的持续。在此基础上，我们在12寸晶圆级互连基板上实现了小规模原型系统，对系统架构和通用计算能力进行了初步验证。报告最后结合晶圆级系统在供电、散热、良率等方面的工程挑战，探讨玻璃基板等新型互连基板对下一代晶圆级计算系统的意义。

嘉宾介绍：

刘宏伟，博士，中国科学院计算技术研究所高级工程师。2007年获中国科学技术大学理学学士学位，2014年获中国科学院计算技术研究所工学博士学位。先后于中国科学院计算所、龙芯中科、清华大学、华为海思工作，长期从事高性能处理器设计、异构计算、硬件安全与密码芯片、软件定义芯片等方向的研究，多次经历从芯片定义、设计、封装直到流片的芯片设计全流程，参与完成超过10款芯片设计并成功流片，在Chiplet架构、可重构计算架构、异构多核、CPU向量单元等方面有深入研究。曾作为系统架构设计人员参与“融合清华可重构计算技术和英特尔X86架构的新型通用CPU”项目，该项目于2018年入选第五届世界互联网大会全球领先科技成果。参与多项国家重大课题，发表学术论文和授权专利多项。

报告讲者



面向领域融合智能计算负载的异构存内计算架构设计探索

黄 禹

华中科技大学副教授

报告摘要:

智能计算时代，领域融合已成为重要发展趋势。以检索增强生成（RAG）为代表的新型智能任务，既包含大模型推理中的序列生成，又依赖复杂图结构上的检索与分析，对计算系统提出了更高要求。传统以处理器为中心的计算架构在应对此类融合负载时，面临频繁数据搬移、资源利用不足与能效受限等瓶颈。针对上述挑战，本报告聚焦面向大模型推理与图分析的异构存内计算架构，探索处理-存储协同、可重构计算、领域定制加速与晶圆级高效通信协同优化的技术路径，有效提升融合任务的执行效率与能效。

嘉宾介绍:

华中科技大学软件学院副教授，主要从事智能计算系统与近存计算架构研究。近年来，在ISCA、MICRO、HPCA、DAC、EuroSys、SC以及IEEE TCAD/TC/TPDS、ACM TACO等国际顶级学术会议和期刊发表论文 40 余篇。相关研究成果获 DAC 2026 Best Paper Nomination、APPT 2025 Best Paper Award、FPGA 2023 Top Paper Award，先后获得2021—2022年及2025年IEEE/MIT/Amazon GraphChallenge图挑战赛冠军，并获第二届全国博士后创新创业大赛金奖。

论坛3：面向集成芯片的高速互连与接口技术



论坛主席

桂小琰

西安交通大学教授博士生导师

桂小琰，教授，博士生导师，IEEE高级会员，陕西省三秦英才特殊支持计划科技创新领军人才，陕西省中青年科技创新领军人才。博士毕业于加州大学尔湾(UC Irvine)，2008-2012年在芯片设计公司Broadcom任设计工程师和主任科学家，现任陕西省电子器件与高端芯片重点实验室副主任，主要研究领域为高速有线通信/光通信接口芯片和无线通信集成电路设计。在国际固态电路会议(ISSCC)、IEEE固态电路学报(JSSC)等国际权威学术期刊和会议发表论文80余篇，授权中国发明专利9项，美国发明专利1项；近5年在主要研究领域主持国家自然科学基金等各类纵向科研项目和华为、中兴、阿里等企业资助三十余项，先后完成112-Gb/s、200-Gb/s SerDes收发机系列芯片等国际领先研究成果，包括全球首款异质共封装的200-Gb/s SerDes收发芯片。获得国家级教学成果二等奖1项，陕西省高等教育教学成果特等奖1项，二等奖1项，华为技术有限公司火花奖1项，陕西省高等学校科学技术研究优秀成果二等奖1项，2025年度半导体十大进展提名奖1项。



论坛主席

赵潇腾

西安电子科技大学教授 博士生导师

赵潇腾，西安电子科技大学教授/博士生导师，国家级青年人才计划入选者。专注于高速数据接口与芯粒互连集成电路设计。主持国家自然科学基金重点项目、面上项目，陕西省重点研发项目及多个校企合作项目。在IEEE ISSCC/JSSC/CICC/ ESSERC/TMTT/ASSCC/RFIC/TCAS-I 等旗舰会议及期刊上发表论文50余篇，相关工作入选2022年“中国半导体十大研究进展候选”。拥有30余项专利与软件著作权，获得科技研发与最佳论文奖3项，参与IEEE 标准制订2项。

报告讲者



全双工高速SerDes收发机及面向UCIe的重定时光接收机阵列

桂小琰

西安交通大学教授博士生导师

报告摘要:

报告展示了一款基于28nm CMOS工艺、速率达112-Gb/s PAM-4的全双工(SBD)收发机。该收发机采用三项核心设计：2xVDD堆叠驱动器的混合输出架构、用于消除动态毛刺的延时与压摆率联合匹配方案以及抑制信道回波干扰的两级消除器。在等效28GHz奈奎斯特频率损耗24.4dB的传输链路中，该收发机可实现低于1E-10的误码率，能效为1.73pj/bit，FoM达0.072pJ/bit/dB。报告还将介绍一款面向兼容通用芯粒高速互连标准（UCIe）的Optical I/O接口的8x64Gb/s PAM-4光接收机(ORX)。该光接收机基于28nm CMOS工艺实现512Gb/s PAM-4聚合总吞吐量，带宽密度达955Gb/s/mm^2，能效为2.25pJ/bit。

嘉宾介绍:

桂小琰，教授，博士生导师，IEEE高级会员，陕西省三秦英才特殊支持计划科技创新领军人才，陕西省中青年科技创新领军人才。博士毕业于加州大学尔湾(UC Irvine)，2008-2012年在芯片设计公司Broadcom任设计工程师和主任科学家，现任陕西省电子器件与高端芯片重点实验室副主任，主要研究领域为高速有线通信/光通信接口芯片和无线通信集成电路设计。在国际固态电路会议(ISSCC)、IEEE固态电路学报(JSSC)等国际权威学术期刊和会议发表论文80余篇，授权中国发明专利9项，美国发明专利1项；近5年在主要研究领域主持国家自然科学基金等各类纵向科研项目和华为、中兴、阿里等企业资助三十余项，先后完成112-Gb/s、200-Gb/s SerDes收发机系列芯片等国际领先研究成果，包括全球首款异质共封装的200-Gb/s SerDes收发芯片。获得国家级教学成果二等奖1项，陕西省高等教育教学成果特等奖1项，二等奖1项，华为技术有限公司火花奖1项，陕西省高等学校科学技术研究优秀成果二等奖1项，2025年度半导体十大进展提名奖1项。

报告讲者



高速光电互连网络中的电接口IP核与芯片

郑旭强

中国科学院微电子研究所研究员

报告摘要:

随着超级计算与智能计算集群加速迈向“超级节点”时代，互连技术正成为决定系统性能的关键瓶颈。面对GPU数量持续激增、带宽需求突破TB/s量级及机架功率密度快速攀升的现状，光模块、LPO、NPO、CPO等新一代光电互连技术，正成为突破I/O功耗墙与带宽墙、释放算力芯片真实性能的核心使能技术。高速互连电接口IP核与芯片作为连接算力芯片与光电互连介质的关键桥梁，其设计需应对多应用场景下的差异化需求，在功耗、延迟与面积等关键指标间实现精细化权衡。本报告将系统梳理高速接口IP核与芯片在现代光电互连网络中的技术形态与特征，并重点介绍高速串行SerDes与高速并行D2D这两类接口的核心技术。

嘉宾介绍:

郑旭强，中国科学院微电子研究所研究员，长期从事高速数字通信收发机 IP 核与电芯片的研究，当前核心工作集中在：（1）10~50 Gb/s 传统 NRZ 调制高速串行接口与 D2D 高速并行接口的应用研究；（2）56~224 Gb/s PAM4 调制高速串行接口的样品研制；（3）200+Gbps 幅度 / 相干调制高速 DSP 关键技术研究。主持科技部重点研发计划、自然科学基金、中国科学院先导 / 重点部署及横向研发等项目，获电子中国科学院科技发展促进奖、学会技术发明二等奖。近年来在 JSSC、TCAS-I、TCAS-II、CICC、ESSCIR 等国际知名期刊和会议发表论文 50 余篇。

报告讲者



高速高密度接口的兼容性与可测性技术进展

赵潇腾

西安电子科技大学教授 博士生导师

报告摘要:

随着集成芯片技术与生态的快速发展，高速高密度接口的需求持续攀升，面向不同应用场景的标准与协议大量涌现，多协议兼容性与互操作性已成为核心设计瓶颈。接口在信号完整性、时钟同步及测试覆盖等方面面临多重约束。本报告聚焦多标准协议兼容性关键技术，系统探讨面向多速率场景的时钟与数据同步技术、改善发射链路线性度的发射机线性化技术、满足宽带低抖动需求的时钟生成与分配电路，以及兼顾时域/频域覆盖的片上内置自测试技术，旨在为高速接口的高效兼容与低成本可测试性提供系统化解决思路。

嘉宾介绍:

赵潇腾，西安电子科技大学教授/博士生导师，国家级青年人才计划入选者。专注于高速数据接口与芯粒互连集成电路设计。主持国家自然科学基金重点项目、面上项目，陕西省重点研发项目及多个校企合作项目。在IEEE ISSCC/JSSC/CICC/ ESSERC/TMTT/ASSCC/RFIC/TCAS-I 等旗舰会议及期刊上发表论文50余篇，相关工作入选2022年“中国半导体十大研究进展候选”。拥有30余项专利与软件著作权，获得科技研发与最佳论文奖3项，参与IEEE 标准制订2项。

报告讲者



面向智算场景的高密度、高速互连抗串扰电路技术

杜 源

南京大学特聘研究员

报告摘要:

随着 AI 算力与存算一体架构的快速演进，HBM 高带宽内存、2.5D/3D Chiplet 及 Die-to-Die（D2D）互连持续向更高 I/O 密度与更高速率演进。单端串行链路凭借显著的功耗与面积优势，相较差分架构可实现数倍的 I/O 密度提升，成为高密度短距接口的核心技术路径。然而接口速率攀升与引脚间距持续缩小，导致邻道串扰、信道反射与电源噪声耦合效应急剧恶化，大幅压缩 PAM3、PAM4 等多电平信号的噪声裕量，成为制约接口性能进一步提升的核心瓶颈。本报告聚焦高密度单端短距内存与芯粒接口的高速收发机抗串扰技术，系统呈现技术演化脉络：从基于 NRZ、PAM3 编码的模式约束级串扰抑制，进阶到 112Gb/s/pin 高密度接口中的四相邻道串扰联合消除架构、低功耗均衡与反射抑制电路协同方法以及适配高速场景的抗电源噪声时钟分发方案。

嘉宾介绍:

杜源，南京大学，特聘研究员，博士生导师，国家级青年人才计划获得者，南京大学-长鑫存储“计算存储技术”联合实验室副主任，IEEE标准协会芯粒接口电路标准工作组秘书长等。现阶段主要从事芯粒间光电高速互联方面的科研工作。在IEEE权威期刊及行业顶级会议上发表论文60余篇，并获IEEE电路与系统学会达林(Darlington)最佳期刊论文奖，相关研究成果入选“2022年度江苏省行业领域(电子信息领域)十大科技进展”,“2025年度中国第三代半导体技术十大进展”。

报告讲者



采用嵌套多环路反馈的多相时钟生成技术

许 灏

复旦大学青年研究员

报告摘要:

高频多相位时钟用于高速接口中同步采样和毫米波相控阵中相位调节,经典的单环路反馈系统受到输出相位数和最高工作频率的相互制约,缺少通向更高数据率的延续性,本报告将介绍采用嵌套式多环路反馈的多相位时钟生成电路的工作原理,通过 28nm CMOS 8-28GHz 16 相位延迟锁相环和 28nm CMOS 8-28GHz 16 相位注入锁定振荡器两颗原型芯片的设计举例,总结具有可延展性的多相时钟生成电路设计方法。

嘉宾介绍:

许灏,复旦大学青年研究员,IEEE高级会员,2010年复旦大学本科学位,2018年加州大学洛杉矶分校博士学位,长期从事射频、模拟以及混合信号集成电路设计研究。2017至2019年在Broadcom全职参与研发基于DSP的高速Serdes接口,2019年至2021年于Apple全职参与研发高性能无线通信芯片,2021年至今于复旦大学全职工作,承担重点研发计划青年科学家项目、自然科学基金委重大研究计划培育项目等国家项目,发表IEEE JSSC、IEEE ISSCC等国际高水平期刊和会议论文30多篇,担任IEEE CICC、IEEE ICTA会议的技术委员会委员。

报告讲者



224Gb/s XSR接收机设计

叶秉奕

华东师范大学青年研究员

报告摘要:

集成芯片内部互连对收发机的单通道速率、面积和能效提出了更高要求，围绕封装内部基板互连关键技术，报告人首先介绍了一款 224Gb/s XSR 接收机设计，该设计通过多单元 CTLE 同时取得高增益和小调节步长，并利用相位插值器及非线性预失真产生八相位时钟，最终实现了 1.11pJ/b 的高能效；接着，报告人介绍了一种高精度相位插值器设计，该设计通过数控加权求和电路改善了 Twin-PI 的积分非线性；最后，报告人介绍了一种新型引线键合结构，通过交叉线将 56GHz 频率点处的插入损耗降低了 27%。

嘉宾介绍:

叶秉奕，华东师范大学青年研究员、博士生导师、紫江青年学者，长期专注于高速有线通信收发机及混合信号集成电路设计。瞄准算力互连的能效与带宽瓶颈，在高速收发机架构、宽带模拟前端及光通信均衡器设计等方面取得了一系列国际领先的原创性成果；在集成电路设计领域的顶级会议ISSCC及顶级期刊JSSC发表论文12篇，其中第一作者/共同第一作者6篇；主持国家自然科学基金青年基金、上海市启明星扬帆专项、企业技术开发等科研项目，授权专利5项。

报告讲者



应用于三维集成的新形态高性能太赫兹无线互连技术研究

江 晨

复旦大学青年研究员

报告摘要:

三维集成技术通过垂直堆叠存储器与逻辑芯片，显著提升了系统密度和性能。然而，传统的三维集成方案严重依赖于 TSV 技术，其固有的高成本和复杂工艺严重地限制了其应用范围。为突破这一瓶颈，亟需探索新形态高速高可靠性的三维集成接口技术。太赫兹凭借其丰富的带宽和极短的波长，有望实现极具竞争力的能耗效率和面积效率。本次报告将介绍我们在新形态太赫兹无线三维接口技术方向的研究进展，主要集中在高效能太赫兹收发机电路设计以及面向标准化的系统集成方案两个方面。该技术可以有效地克服传统 TSV 技术在成本、工艺复杂度、可靠性及可扩展性等方面的瓶颈，实现革命性的技术突破，有望为我国集成电路产业开辟全新的三维集成技术路线。

嘉宾介绍:

江晨，复旦大学青年研究员，博士生导师。2010年和2013年于复旦大学分别获得微电子学学士和微电子与固态电子学硕士学位。2018年于美国康奈尔大学(Cornell University)电子与计算机工程专业获得博士学位。2018年至2021年在美国联发科从事公司新一代无线通信芯片的研发工作。2021年至2023年在美国创业公司Lassen Peak从事业界首个可实现电子扫描的低功耗便携太赫兹片上雷达系统的研发工作。2022年入选国家和上海市海外高层次青年人才引进计划。2023年加入复旦大学任教。江晨的主要研究方向为应用于感知、成像和通信的硅基太赫兹集成电路与系统的研究设计，发表SCI学术论文30余篇，其中包括领域内顶级会议与期刊论文（ISSCC/JSSC/IEDM）10余篇。目前担任IEEE RFIC会议技术委员会成员，中国电子学会《电子学报》期刊青年编委。

报告讲者



面向高速互连的时钟生成与时钟数据恢复电路研究进展

张 钊

中国科学院半导体研究所研究员

报告摘要:

低抖动时钟生成器和高能效时钟数据恢复器是高速有线通信收发互连芯片的关键部件,其性能很大程度上决定了互连芯片的速率和误码率上限。本报告将以作者近年来在 ISSCC 等顶会上发表的有关成果为基础,介绍当前相关领域的研究进展。

嘉宾介绍:

张钊，男，博士，中国科学院半导体研究所研究员，博士生导师。2022年国家自然科学基金“优秀青年科学基金”获得者，2022年入选中国科学院高层次人才引进计划。研究工作围绕高性能时钟生成器、高速高能效光电互连等集成电路设计技术的难点展开。近年来在相关领域共发表学术论文80余篇，包括JSSC, ISSCC, VLSI 十余篇；主持多项国自然、国家重点研发计划、北京市科技计划、知名企业横向等项目；完成芯片设计与流片验证50余款，部分技术已用于产品中。担任知名SCI 期刊《Electronics Letters》的编委。

论坛4：3DIC物理设计EDA技术



论坛主席

游海龙

西安电子科技大学数字EDA教育部工程中心主任教授、博士生导师

游海龙，西安电子科技大学华山领军教授，博士，博士生导师；数字EDA教育部工程中心主任。游海龙教授主要研究方向为集成电路器件可靠性与设计自动化方法。2007年至今，主持包括国家自然科学基金、科技部专项等省部级课题二十余项。在DAC，TCAD、ICCAD、DATE、JEDS、TODAES、Integration、ASP-DAC、Microelectronics Reliability等学术期刊与国际会议上发表论文60余篇，出版三部专著和教材，获专利授权10余项。《半导体器件物理》（国家一流课程）、研究生课程《Spice电路模拟与仿真》等课程负责人；指导学生获得2022 ISPD国际竞赛全球冠军，2020 ISPD亚军，以及2021 ICCAD第三等奖项。（hlyou@mail.xidian.edu.cn）



论坛主席

贺 青

同济大学教授

贺青，正高级教授、科技部评审专家、浙江省半导体行业协会专家委员会委员，长期深耕集成电路 EDA 工业软件、芯片设计自动化底层算法研发与产业化落地，具备十余年海内外顶尖 EDA 工具研发、大型芯片项目工程落地、国产自主 EDA 产品攻关的完整从业经验。

围绕人工智能辅助 EDA、先进工艺数字集成电路设计及国产 EDA 签核工具链研发与产业化，承担了 6 项省部级以上重大项目，作为项目负责人牵头承担国家科技部 2030—“新一代人工智能”重大项目 1 项，同时参与承担国家科技部 2023 年“微纳电子重点专项”项目 1 项。

发表论文 30 多篇，中国、美国专利数项，曾获得两项 best paper 奖，两次提名奖，IEEE S.A. Schelkunoff 奖获得者，提出的创新理论为工业软件的稳定性大幅提升提供了数学方法，并在与 Intel 的前沿合作项目中为芯片设计自动化软件 (EDA) 提速上千倍，实现传统方法无法完成的全芯片设计建模。

海外硅谷从业阶段，任职甲骨文高级研发工程师，主导技术团队搭建适配高端服务器 CPU 的 EDA 完整设计流程与设计方法学体系；整套自研流程成功赋能 SPARCM7、M8 高端处理器芯片研发，助力该系列芯片面世之后登顶全球高性能服务器 CPU，依托该产业化重大成果荣获甲骨文集团突出贡献奖。

回国后，带领团队攻坚 EDA 后端签核“卡脖子”技术，填补国内空白。立足当下芯片架构行业特征与技术迭代趋势，搭建了完整技术体系架构，研发二维 三维一体化器件建模技术，兼顾仿真计算精度与工具运行性能，适配先进工艺制程严苛技术指标；打通芯片设计与制造的数据交互，实现技术应用与推广。团队自研全栈 EDA 产品，为国产先进工艺迭代提供整套国产化解决方案。自研签核工具已应用于最先进工艺每次流片成功。

报告讲者



面向芯粒互连的布线方法研究

姚海龙

北京科技大学教授

报告摘要:

随着集成电路制造工艺趋近埃米级别，制造成本与成品率挑战预示着摩尔定律接近物理极限，以芯粒集成与先进封装技术为支撑的集成芯片成为提高集成规模、突破算力极限的新途径。集成芯片EDA设计面临诸多挑战，而芯粒之间的互连布线是集成芯片设计成功的关键决定因素之一。报告将介绍现有的芯粒互连布线方法以及实验室提出的新颖布线算法，同时还将介绍实验室在芯粒布局方向的探索结果。

嘉宾介绍:

姚海龙,北京科技大学计算机与通信工程学院教授（二级),博士生导师,EDA 研究中心负责人。现任 EDA 开放创新合作机制（EDA2）物理实现分委会主任，TMG 主任，CCF 集成电路设计专委会常委，国际电气和电子工程师学会（IEEE）高级会员。从事集成电路 EDA 方法与关键技术研究二十余年，已发表学术论文百余篇，多次荣获 EDA 领域国际会议最佳论文奖 / 提名奖，获 2022 年度吴文俊人工智能科学技术奖技术发明一等奖（第一完成人），2025 年度教育部科学研究优秀成果奖工程技术研究成果奖二等奖（第一完成人）。主持包括自然基金重点在内的五项国家自然科学基金项目，以及国家重点研发计划课题与子课题等。

报告讲者



Le3DIC: 融合PI与PV工具的2.5D/3D 协同设计与实现平台

陈建利

复旦大学教授 上海立芯董事长兼首席科学家

报告摘要:

3DIC技术通过对异质异构的芯粒进行集成，显著提升了互连密度、缩短互连长度。然而3DIC也提出了全新的挑战，基于单点工具的传统串行优化方法，只能获得单点最优，难以从系统设计的维度获得3D系统级的收益。本报行将介绍 Le3DIC 平台，一个全面集成、高协同性的3DIC系统级设计平台，提供从3D异构集成规划、协同物理实现到仿真分析的全流程解决方案。平台基于层次化数据底座，支持对多工艺、多堆叠架构进行早期设计规划与系统级互连优化，在系统层面实现时序、功耗与面积的整体优化。此外，平台深度集成了包括物理实现、电源完整性与物理验证引擎在内的多个立芯设计仿真引擎，形成了覆盖从3D早期规划与协同APR，到3D功耗、IR、EM、电阻的签核分析，再到3D芯片级DRC签核的完整3DIC解决方案，构建了从早期规划到签核验证的一致性闭环，显著减少迭代次数、提升设计效率与结果可靠性。

嘉宾介绍:

陈建利，复旦大学教授，上海立芯董事长兼首席科学家，入选东方英才计划领军项目、全国网信创新人才、国家“万人计划”领军人才等。陈建利博士长期从事数字电路 EDA 中布局问题的研究，所开发的布局工具被收录到 IEEE CEDA 设计参考流程（Reference Design Flow）中。陈建利博士获得国际集成电路电子设计自动化学术会议 DAC 2017 最佳论文奖，连续三年（2017-2019）获得国际集成电路计算机辅助设计学术竞赛 CAD Contest @ICCAD 第一名，连续 7 年（2017-2023）进入全球前三名。近年来，陈建利博士获得福建省优秀教师、中国计算会学会集成电路 Early Career Award、中国工业与应用数学学会应用数学青年科技奖、中国技术市场协会金桥奖突出贡献个人奖、DAC Under-40 Innovators Award、上海“申教名匠”、上海青年科技创业十大先锋等，作为主要成员获教育部自然科学奖一等奖、上海市技术发明奖一等奖、上海市优秀产学研项目特等奖等。

报告讲者



面向2.5D/3D集成芯片的跨阶段仿真建模与探索优化

翟建旺

北京邮电大学副教授

报告摘要:

面向摩尔定律放缓与内存墙等问题，2.5D/3D 异构集成成为提升芯片系统性能的重要技术路线，但面临设计空间庞大、设计流程割裂、多物理场强耦合等核心挑战。本报告围绕 2.5D/3D 集成芯片跨阶段仿真建模与智能优化展开研究，覆盖架构探索、仿真建模、物理设计等核心阶段，可为 2.5D/3D 芯粒系统 EDA 工具研发提供技术支撑。

嘉宾介绍:

翟建旺，北京邮电大学副教授，北京市“高创计划”青年托举人才，CCF 集成电路设计 / 容错计算专委会执行委员，专注人工智能辅助的集成电路设计自动化研究。近年来，在 TCAD、TCAS-I/II、DAC、ICLR 等期刊会议发表论文 60 余篇，获 2025 年中国发明协会一等奖、ICCAD21 最佳论文奖、ASPDAC23 及 GLSVLSI25 最佳论文奖提名、EDA2 最佳博士学位论文奖等荣誉。

报告讲者



基于汉擎底座的全流程三维集成电路物理设计解决方案

王志昂

复旦大学助理教授 研究员

报告摘要:

面向先进工艺演进受限背景下三维集成对设计方法与EDA基础设施提出的新需求，本报告介绍基于汉擎底座构建的3D IC全流程物理设计平台–太维。针对现有3D IC设计流程碎片化、工具链不完整以及缺乏统一可复现评估环境等问题，太维构建了覆盖逻辑综合、层间划分、三维布局、时钟树综合、全局与详细布线、寄生参数提取及三维时序分析的RTL-to-GDS自动化实现流程，并支持同构与异构工艺集成。在实现方法上，平台采用Pin-3D方法，将Face-to-Face堆叠中的上下层金属体系及混合键合互连统一映射到兼容现有二维EDA引擎的设计表示，并通过分层视图实现上下层设计的交替优化，从而在复用成熟二维物理设计引擎的基础上支持三维布局布线与时序分析。在此基础上，报告进一步讨论面逻辑堆叠3D IC的层感知逻辑综合以及原生三维物理实现方法，使功能划分、工艺库选择、跨层互连建模与后端物理优化能够在统一流程中协同考虑；并展望基于汉擎底座与太维平台开展AI/LLM驱动的算法开发、自动评测与持续学习，形成面向3D IC设计方法研究与系统—技术协同优化的开放式基础设施。

嘉宾介绍:

王志昂，复旦大学集成芯片与系统全国重点实验室和集成电路与微纳电子创新学院助理教授，入选国家海外高层次青年人才计划和上海市海外高层次青年人才计划。研究方向为电子设计自动化，聚焦三维集成芯片、人工智能赋能 EDA 和系统工艺协同优化，主要从事开源物理设计全流程工具 OpenROAD 的研究与开发。已在 TCAD、ICCAD 等期刊与国际会议发表 / 接收论文 30 余篇，获 ICCAD 2022 最佳论文奖、MLCAD 2025 最佳论文奖、ACM TODAES 亮点文章、MLCAD 2025 最佳成果奖、MLCAD Contest 2025 总冠军。现任 IEEE CEDA DATC 委员，担任 DAC、ICCAD、DATE、ASP-DAC 等国际会议程序委员会成员，担任 IEEE TCAD、ACM TODAES 等期刊审稿人。

报告讲者



三维集成电路布局算法研究

朱自然

东南大学青年首席教授

报告摘要:

随着集成电路技术不断向高密度、高性能和异构集成方向发展，三维集成已成为后摩尔时代的重要技术路径。布局是三维集成电路物理设计中的关键环节，对互连、时序、功耗等性能具有重要影响。本报告围绕三维集成电路布局这一主题，简要介绍相关背景和研究现状，并结合课题组近年来开展的一些工作，介绍我们在三维集成电路布局算法方面的研究和探索。

嘉宾介绍:

朱自然博士现为东南大学青年首席教授、至善青年学者，国家高层次青年人才，研究方向专注于 EDA 布局布线。在 EDA 领域主要会议 / 期刊发表六十余篇论文，主持国家重点研发计划青年科学家项目和国家自然科学基金等项目，曾获第 54 届 DAC 最佳论文奖，多次获 CAD Contest@ICCAD 国际学术竞赛冠亚军、以及 MLCAD Contest 国际学术竞赛第一名。

报告讲者



面向先进封装的物理设计：芯粒布局与热-互连协同优化

金 洲

浙江大学研究员

报告摘要:

随着人工智能与高性能计算对算力、带宽和集成密度的需求持续提升，芯粒异构集成为系统设计提供了新的机遇，也对先进封装中的物理设计提出了更高要求。在高密度多芯粒系统中，布局不仅决定芯粒间的互连开销，还通过全局热耦合影响系统温度分布，缓解热点与缩短互连之间的矛盾使传统布局优化面临新的挑战。本报告聚焦2.5D芯粒系统，探讨面向先进封装的热-互连协同优化方法。首先，分析芯粒布局中的关键物理约束、多目标权衡及搜索效率瓶颈。随后，介绍强化学习辅助模拟退火的智能布局框架，通过图模型表征芯粒间的全局关联，利用学习型策略指导布局调整，在保留全局搜索能力的同时提升优化效率与解的质量。最后，结合典型多芯粒系统案例，展示相关方法在热性能、互连线长及跨配置泛化方面的表现，并探讨学习型策略与经典优化算法融合对先进封装物理设计自动化的启示。

嘉宾介绍:

金洲，浙江大学百人计划研究员、博士生导师。入选国家级高层次青年人才，CCF集成电路设计专委会副秘书长。2010年本科毕业于南京大学，2012年和2015年分别获日本早稻田大学硕士和博士学位。主要从事集成电路设计自动化（EDA）高性能仿真方法研究。已在DAC、ICCAD、TCAD等EDA领域重要国际会议和期刊发表论文90余篇。曾获SC'23最佳论文奖、SC'24/PPoPP'26/DATE'26等顶会最佳论文奖提名、EDA^{2}青年科技奖等。主持国自然交叉重点青年专项、重大研究计划培育项目及企业合作项目等二十余项。担任SC、DAC等国际会议技术委员会委员，受邀在ICCAD作Tutorial报告，并担任多个国内外学术会议宣传主席、出版主席等。

报告讲者



从电路划分视角看 3D IC 设计中的 EDA 技术挑战

毕舜阳

西安电子科技大学博士后 助理研究员

报告摘要:

3D IC 技术通过垂直堆叠芯粒（Die）并利用混合键合（Hybrid Bonding）实现层间高密度互连，为延续摩尔定律提供了关键路径，但其设计复杂性对传统 EDA 工具提出了严峻挑战。在编译流程中，电路划分作为决定系统性能的重要核心步骤，其质量直接影响混合键合接口数量、互连线长、时序收敛及最终功耗表现。然而，现有 3D IC 流程面临多重挑战：其一，主流基于 bin-based 的 FM 划分算法仅局部优化层间连接数，易导致关键路径在不同层间“蛇形”穿行，引入过多混合键合互连及后端布线资源，严重劣化时序；其二，混合键合互连在电学特性上与传统焊球或微凸块存在显著差异，其寄生电容与电阻随键合界面材料及工艺参数变化显著，如何在电路划分阶段准确量化并约束混合键合引入的时序开销，目前缺乏有效的建模与感知方法，导致划分结果与物理实现后实际时序偏差较大；其三，3D 堆叠引入的热效应成为不可忽视的关键因素，不同层 Die 的功耗密度差异显著导致层间温度分布极不均匀，高温改变互连线电阻与载流子迁移率从而影响信号传播延迟，然而现有划分流程几乎未将热分布及热 - 时序耦合效应纳入考量，使得划分方案在热环境下的时序表现与设计预期严重偏离。针对上述瓶颈，本报告在前期性能驱动电路划分研究的基础上，进一步探讨面向 3D IC 的时序感知划分方法，通过将关键路径约束、混合键合时序建模与多层 Die 间的负载均衡纳入统一优化框架，力求在划分阶段即实现时序、功耗与面积（PPA）的早期协同优化，为构建高效可靠的 3D IC 设计流程提供新的技术思路。

嘉宾介绍:

毕舜阳，助理研究员，先后于 2022 年硕士与 2026 年博士毕业于西安电子科技大学，目前为西电 EDA 研究团队博士后（游海龙教授团队）。研究方向为集成电路设计自动化硬件仿真、3D 集成电路设计自动化，相关研究工作为电路划分，场景围绕原型验证系统（Prototyping）、硬件仿真（Hardware Emulation）的编译和 3D IC 设计自动化等展开。在 IEEE TCAD、DAC、ICCAD、DATE、ACM TODAES、ISCAS 等 EDA 领域顶级期刊 / 旗舰会议上发表论文 10 余篇，担任 IEEE TCAD、ACM TODAES，ACM TRETS 等国际期刊审稿人。

论坛5：面向AI的三维存储器设计及其应用



论坛主席

司 鑫

东南大学青年首席教授

司鑫，东南大学青年首席教授，博士生导师，国家级青年人才。从事于存算一体AI芯片和存储器电路设计，累计在集成电路领域相关顶会顶刊发表论文70余篇，包含17篇芯片奥林匹克ISSCC会议，目前担任电子器件顶会IEDM，亚洲固态电路会议A-SSCC等会TPC。



论坛主席

拜福君

紫光国芯高级总监 正高级工程师

毕业于清华大学电子科学与技术专业，获得学士、硕士学位；于西安交通大学电子与信息学专业获得博士学位。历任西安紫光国芯半导体有限公司产品研发部，部门经理、总监，负责多种存储器的阵列设计工作。现为西安紫光国芯技术与项目合作部高级总监，潜心开展三维异质集成存储器和新型存储领域的研究，具有20余年半导体存储产品的研发经验并推动多项新技术进入产业化，拥有超过30个半导体芯片和存储技术相关国内外发明专利，在国际集成电路行业重要会议及期刊IEDM、VLSI等上发表学术论文。

报告讲者



以3D NAND为中心的端侧推理混合存储AI架构

单伟伟

东南大学教授

报告摘要:

随着大模型应用的爆发，端侧 AI 芯片的需求和算力也呈现爆发式增长，在 NPU 内部无法承载全部权重和中间数据的情况下，存储、带宽和数据搬移代价才是限制大模型高效计算的主要瓶颈，即熟知的“存储墙”与“功耗墙”。构建以存储器近存 / 存内计算为中心的异构融合 AI 架构是破局之道。本文以容量最大的非易失存储器 3D NAND 为中心构建一套面向端侧 AI 推理的混合存储 AI 近存架构，将权重存储及其相关的 FFN 计算合并到 NAND 存储器中逻辑芯片中，并利用 NAND Flash 多平面并行读取所提供的高内部带宽，与 NPU 芯片协同完成推理。此外，提出了适用于大模型的轻量化 ECC 纠错编码方法，降低了 NAND Flash 数据的纠错代价。该架构大幅度降低 NAND 和 DRAM 的带宽需求，在推理速度、系统能耗和成本方面均有优势。

嘉宾介绍:

单伟伟，东南大学首席教授，教育部长江学者特聘教授。研究方向为数字集成电路高能效设计技术及高能效 AI 处理器设计。历年来主持国家重点研发计划项目（牵头）、国家自然科学基金青 B 项目、国家自然科学基金重点项目和面上项目、若干企业合作项目、江苏省科技计划项目等。发表学术论文近百篇，涵盖集成电路顶会 ISSCC、顶刊 JSSC、IEEE TCASI/II/CAD 等期刊、VLSI Symposium、ESSCIRC、DAC、CICC 等。部分研究成果应用于头部企业，有多项成果转化，获国家科技进步二等奖、中国电子学会技术发明一等奖、国际会议论文奖等。

报告讲者



新型三维阻变存储器

高 滨

清华大学教授

报告摘要:

阻变存储器是最具发展潜力的新型存储器技术之一，目前已在多个领域初步实现了产业化。然而，在大模型时代，阻变存储器的集成密度还需要持续提升。而三维集成技术和多比特存储是提升存储密度的核心手段。本报告从同质集成、异质集成、单片集成、多片堆叠等多个角度探讨阻变存储器的三维集成技术及其潜在应用。

嘉宾介绍:

高滨，现为清华大学集成电路学院教授。2008 年和 2013 年在北京大学分别获得物理学学士学位和微电子学与固体电子学博士学位。现主要从事先进存储器和存算一体芯片研究，在 Science、Nature、Nature Electronics、Nature Nanotechnology、Nature Machine Intelligence 等期刊发表论文 200 余篇，在微电子三大顶级会议（IEDM、VLSI 和 ISSCC）发表论文 50 余篇，总引用超过 20000 次。担任了 IEDM、IRPS、EDTM、ICTA 的分委会主席，在重要国际学术会议做特邀报告 20 余次。2020 年获得国家青年人才项目支持，2024 年获得国家高层次人才特聘教授项目支持。

报告讲者



面向智能时代的三维异质集成DRAM

周 骏

西安紫光国芯半导体股份有限公司高级市场经理

报告摘要:

西安紫光国芯半导体股份有限公司专注于存储技术的创新与突破，致力于推动智能时代下高效算力的发展。通过三维异质集成技术，公司开发了 SeDRAM 技术，实现了逻辑晶圆与 DRAM 晶圆之间的高密度垂直互连，显著提升数据带宽至 TBps 级别。SeDRAM 技术广泛应用于高性能计算、大模型推理以及 AI 加速器等领域，展现出卓越性能。未来随着三维异质集成技术的发展，SeDRAM 在工艺微缩、多层堆叠、异质集成和架构创新等多元路径上具备发展前景。

嘉宾介绍:

西安紫光国芯事业三部高级市场经理，主要负责定制存储市场。

报告讲者



3D近存通用计算

张瑞凯

新紫光智遨通总架构师

报告摘要:

大模型推理的瓶颈正从算力转向数据搬运：解码阶段每生成一个 token 都要反复读取模型权重和持续增长的 KV 缓存，传统 GPU 架构下 " 算力等数据 " 的矛盾日益突出。3D 堆叠 DRAM 与近存计算的结合为破解这一矛盾提供了新路径——让计算靠近数据，从根本上缩短数据搬运距离。本报告介绍一种面向 3D 堆叠 DRAM 的近存通用计算架构：在 DRAM 堆叠旁集成可编程的近存 GPGPU 计算单元，保持 GPU 编程模型和生态兼容，由编译器与运行时按算子粒度智能选择执行路径——带宽敏感算子下沉近存执行，计算密集算子保留原生 GPU 路径。在 Llama2-13B 单卡推理中，解码密集负载下输出吞吐较主流 GPU 提升约 20%，关键算子计算利用率最高提升 4 倍以上。报告还将探讨 3D 近存通用计算在大模型推理芯片中的产业化前景与技术挑战。

嘉宾介绍:

硕士毕业于南开大学，现任智遨通总架构师，负责 3D 近存计算芯片总体架构与 3D 堆叠架构设计，主导近存 GPGPU 体系结构、存算协同编译优化等关键技术方向，致力于面向大模型推理的 3D 近存通用计算架构创新与落地。

报告讲者



基于多维冗余压缩的高能效AI计算加速器设计

林 军

南京大学教授

报告摘要:

深度神经网络本身存在多样化的冗余，如网络结构冗余、参数数量冗余、数据达标精度冗余等，在推理过程中，亦存在计算和特征表达的冗余，这些类型的冗余造成了计算和访存的额外开销。本报告将首先介绍深度神经网络主要内在冗余的分类，针对每种冗余类型，在图像生成、图片分类、高能效在线训练、像素级推理等任务场景下，介绍针对性算法与硬件协同优化策略，以实现将多样化的内在冗余转化为更高的计算效率。

嘉宾介绍:

南京大学电子科学与工程学院教授、博导，入选国家高层次青年人才计划，发表集成电路设计领域的国际权威期刊论文 50 余篇，申请发明专利 90 余项。论文总引用次数 2600 余次，曾获华为技术成果转化奖，国际旗舰学术会议最佳论文奖（四次）、吴文俊人工智能科技进步奖，担任某部委微电子技术专业组成员，主持及参与国自然青年、国自然面上、国自然专项、江苏省科技重大专项和重点国防科研单位产业合作项目多项。

报告讲者



高密度片上集成三维阻变存储器

许晓欣

中国科学院微电子研究所研究员

报告摘要:

随着 5G 通信技术与人工智能的深度融合，全球数据量呈指数级增长，对存储系统提出了严苛要求，亟需兼具超高容量、强大算力和带宽的新型存储解决方案。在众多新兴存储技术中，三维电阻随机存取存储器（3D RRAM）凭借其非易失性、高集成密度、纳秒级读写速度和超低功耗等优势，已成为下一代存储器中最具前景的候选方案之一。尤其 3D 垂直阵列结构因光刻步骤大幅减少、单位器件制造成本显著降低，展现出更强的市场竞争力。本报告系统梳理了三维垂直 RRAM 面临的材料、器件及集成等方面的关键挑战，通过器件 - 工艺 - 电路协同优化的技术突破，开发单片集成 3D VRRAM 芯片，实现存储单元的高密度集成与存算一体化设计，为突破传统“存储墙”瓶颈提供了创新性解决方案。该方案不仅充分发挥了 3D RRAM 在读写速度、功耗和密度方面的固有优势，还有效缩短了数据在存储与处理单元之间的传输路径，从而显著提升整体计算效率。片上 3D RRAM 技术为下一代高性能存储与计算系统提供了坚实的技术基础，有望在边缘计算、人工智能加速器等新兴领域发挥关键作用。

嘉宾介绍:

许晓欣，中国科学院微电子研究所研究员，长期从事阻变存储器（RRAM）集成与应用研究。主持自然科学基金委项目、北京市科技项目等项目，作为课题负责人承担中科科学院先导项目、科技部攻关工程项目、“科技创新 -2030 重大项目”。目前是国际存储器论坛技术委员会成员和全国智能计算标准化委员会成员。以第一 / 通讯作者在 Nat. Commun.、Advanced Material、IEDM、VLSI 等会议和期刊上发表论文 40 余篇，其中包含 IEDM/VLSI 11 篇，获授权发明专利 85 项，48 项专利转让至企业进行产品转化。2018 年获中国科学院杰出科技成就奖，2021 年度获华为“奥林帕斯”先锋奖。2022 年入选中国科学院青促会优秀会员。2025 年获得中国科学院青年科学家奖。

报告讲者



面向大模型推理的3D堆叠存算一体AI芯片与可扩展计算平台

郭 安

后摩智能科技股份有限公司首席存算专家

报告摘要:

随着大模型快速向端侧和边缘侧部署，AI 芯片正面临模型规模持续增长、存储容量不足、数据带宽受限以及系统扩展复杂等挑战。本报告介绍面向新一代生成式 AI 应用打造的 3D 堆叠高带宽存算一体 AI 芯片及可扩展计算平台。该芯片通过 3D 堆叠技术，将高带宽存储与 AI 计算深度融合，单芯片支持 6GB 存储容量和最高 1.2TB/s 存储带宽，在紧凑功耗和产品形态下为大模型提供高效的数据供给与计算能力。同时，平台具备灵活的高速互联和多芯片扩展能力，可从单芯片进一步扩展至多芯片、多卡系统，满足从数十亿到数千亿参数模型的部署需求。基于统一的软硬件平台，可覆盖大语言模型、视觉语言模型、语音识别及生成式图像等多类 AI 任务，并面向智能办公、智能客服、代码助手、视频理解及边缘推理服务器等场景实现规模化部署。

嘉宾介绍:

郭安，本硕博毕业于东南大学，现任后摩智能首席存算专家，研究方向为基于存内计算的 AI 加速器设计，已在高水平国际会议、期刊上发表论文 40 余篇，一作论文 10 余篇，包括 7 篇集成电路顶会“奥林匹克会议”论文 ISSCC 论文，4 篇集成电路顶刊 JSSC 论文；首批国家自然科学基金博士生项目获得者，目前担任 JSSC/TCASI/TCASII/TVLSI 等学术期刊审稿人。

论坛6：三维堆叠和混合键合前沿工艺



论坛主席

李力一

东南大学教授

李力一，于美国佐治亚理工学院获得博士学位，长期从事先进封装技术研究，具有国际头部企业三维集成工艺研发经验，先后发表SCI论文40余篇，牵头国家自然基金重点项目、国自然基金青年项目等国家级项目3项，开展了混合键合基础科学院研究及工艺实验线的建设。



论坛主席

薛兴涛

盛合晶微（江阴）半导体有限公司技术总监

薛兴涛，于复旦大学获得博士学位，长期从事半导体先进封装研发工作，先后供职于中芯国际、盛合晶微等国内龙头企业，主导开发了硅通孔转接板等先进封装工艺并应用与量产，牵头了多项国家重点项目。

报告讲者



深度解析混合键合精度

郭万里

拓荆键科（海宁）半导体设备有限公司总经理

报告摘要:

随着三维集成技术向更小互连间距快速演进，对混合键合精度提出更高的要求。报告从Alignment Error、Scaling、Residual 三大误差项切入，系统分析其来源、改善方法及 W2W 与 D2W 之间的差异。最后总结拓荆键科在混合键合领域的产品布局与技术方向。

嘉宾介绍:

郭万里，拓荆键科(海宁)半导体设备有限公司总经理，负责以晶圆键合设备为代表的三维集成设备的业务和产品开发工作。从事半导体行业 18 年，长期在一线从事工艺开发与团队管理工作，参与过多台国产化集成电路设备的开发工作，对关键设备的各项性能指标以及迭代方向具备专业的判断力，特别是在三维集成领域晶圆对晶圆和芯片对晶圆混合键合领域有丰富的技术积累和实践经验，是国内三维集成领域的资深专家。

报告讲者



从装备到工艺：先进键合技术赋能异质集成规模化落地

郭 超

青禾晶元集团副总经理

报告摘要：

先进键合作为半导体制造与高端集成的核心工艺，广泛应用于先进封装、功率电子、MEMS 传感器、新型显示及高端基板等多元领域。在后摩尔时代，随着 Chiplet 异构集成、3D 堆叠、HBM 等先进封装技术快速演进，键合技术已从传统制程工艺，升级为支撑异质材料融合、三维架构堆叠、高密度系统集成的关键核心技术。半导体材料维度，键合技术成为不同材料融合的主要途径；半导体器件维度，键合可以实现三维堆叠，打破光刻瓶颈，突破平面器件限制；系统集成维度，键合集成深度融合“延续摩尔”与“超越摩尔”技术路径的成果，显著提升微电子系统能力和价值。

报告将聚焦行业趋势与痛点，分析新一代键合技术的发展机遇与挑战；介绍先进永久性键合技术与应用及先进临时性键合技术与应用，探讨先进键合技术的创新应用与规模化落地路径，助力行业高质量发展。

嘉宾介绍：

郭超，清华大学博士，青禾晶元集团副总经理，负责键合设备市场和客户服务。十余年先进制造领域技术研发和产业化经历，作为负责人或主要完成人承担国家科技部重点研发计划项目（课题）3项，第一发明人授权国家发明专利数十项。

报告讲者



面向三维集成的键合技术发展趋势

谭昊天

芯慧联芯（江苏）科技有限公司资深战略研究员

报告摘要:

AI 应用驱动芯片性能需求从制程微缩转向互连延迟与能耗，键合技术逐渐被视为后摩尔时代的确定性路径。当前，混合键合与熔融键合技术在多层级互连方面展现出巨大潜力，本次报告将全面梳理键合技术当前在逻辑、存储、光通信等领域在三维集成方面的应用现状，并探讨基于键合工艺的三维集成技术主要发展趋势，以及关联核心技术的研发方向。

嘉宾介绍:

谭昊天毕业于复旦大学并获得微电子学博士学位，发表多篇 SCI 论文，并获得多项国家发明专利授权。长期从事半导体先进工艺的相关研究工作，包括半导体薄膜工艺及器件、先进制程工艺整合等。现担任芯慧联芯战略研究员，主要从事先进键合技术的应用及研究工作。

报告讲者



三维堆叠混合键合技术中的原子级精密清洗技术的革新与量产价值

严 宏

杭州沐芯联科技有限公司创始人 长江学者

报告摘要:

随着人工智能、超算、高端算力产业高速迭代，HBM4 高带宽内存已成为高端芯片算力突破的核心载体，而多层堆叠工艺的技术革新，彻底重构了先进封装的工艺体系与质量标准。当前，C2W 铜 - 晶圆混合键合技术已全面替代传统微凸块工艺，成为实现 HBM4 芯片 16 层超高密度堆叠的唯一核心路径，也将先进封装工艺推向了原子级精密制造新阶段。

在全新的键合工艺体系下，原子级铜 - 铜直接键合技术对晶圆键合界面提出了极致的超精密要求，核心界面粗糙度需严格控制在 Rq < 0.2nm 的亚纳米级别，这一严苛标准直接颠覆了半导体清洗工艺的行业定位。区别于传统封装中清洗仅作为后道辅助、配套工序的角色，精密清洗正式从边缘辅助工序，跃升为决定 HBM4 混合键合成败、保障良率的前置核心关键工序，成为制约高端 HBM4 量产突破的核心卡点。从量产失效数据来看，清洗工艺的重要性已得到充分验证：目前 HBM4 先进封装领域 35% 的产品失效问题均由清洗相关缺陷导致，该类缺陷已超越对位偏差、键合压力异常、材料形变等其他问题，位居失效诱因首位，是当下 HBM4 规模化量产中最核心的质量风险点。相较于传统封装缺陷，影响 C2W 混合键合的清洗缺陷具备极强隐蔽性，亚纳米级微颗粒残留、微量有机污染物、界面原子级氧化物等杂质，肉眼及常规检测手段难以识别，会在多层堆叠键合界面形成无法规避的“隐形缺陷刺客”，直接引发键合空洞、界面分层、导电异常、芯片翘曲等致命问题，造成堆叠结构失效、芯片性能衰减甚至整机报废。

与此同时，HBM4 16 层堆叠工艺对清洗技术提出了多维一体化的严苛要求，彻底打破了传统清洗的工艺逻辑。新型精密清洗不仅需要彻底去除界面微颗粒、有机物、氧化层等各类杂质，还需同步实现铜垫形貌精准管控、超薄氧化层零损伤剥离、全过程静电精准防护三大核心目标。这意味着新一代清洗技术必须在化学腐蚀能量、物理机械清洗力、晶圆材料完整性保护、亚纳米工艺精度四大维度之间，实现极致的动态平衡，真正达成“高效除杂、零损伤、零残留、零静电”的工艺标准。

综上，适配 HBM4 时代的新型精密清洗技术，不再是单一的除杂工艺，而是一套适配原子级键合的一体化精密制造解决方案，是破解当前 HBM4 良率瓶颈、打通高端高带宽内存规模化量产的核心锁钥，也是未来先进封装、三维堆叠工艺技术突破的核心研究方向，将深刻影响高端算力芯片的产业化进程与技术迭代格局。

嘉宾介绍：

严宏博士先后任职于新加坡科技研究局，美国应用材料公司先进封装研发中心，长期从事 C2W 混合键合、三维芯片堆叠等核心清洗设备、材料与工艺的研发。在湿法化学试剂领域，拥有从研发到量产的全链条经验，主导开发了 Stripper、Side Wall Remover、Etchant、Laser Grooving Liquid 等多款产品，并推动其在新加坡 GlobalFoundries、Skyworks、UTAC 等产线实现新加坡本土替代与规模化应用。主导的先进封装混合键合清洗方案，已成功应用于三星、SK 海力士 HBM4 高阶内存制造工艺，并完成台积电、美光、英特尔等国际顶尖晶圆厂的先进制程工艺验证；同时助力苹果玻璃基板混合键合项目实现良率显著提升。2024 年，严宏入选国家海外高层次人才计划，并获聘长江学者讲席教授；2025 年 7 月，正式受聘为惠州学院化学与材料工程学院特聘教授，同时担任杭州沐芯联科技有限公司技术负责人。聚焦国产先进封装混合键合工艺的国产化攻关与技术迭代，深度服务中芯国际、北京芯力、盛和晶微等国内先进封装头部企业及科研机构。

报告讲者



基于表面活化的异质异构键合技术

王晨曦

哈尔滨工业大学教授

报告摘要:

晶圆直接键合因无需中间介质，在异质衬底制备、MEMS 封装和三维异质集成中显示出不可替代的优势。然而，传统熔融键合的高温工艺与异种材料热物性失配之间的矛盾，成为制约多材料体系协同集成的关键瓶颈。表面活化技术通过调控界面物理化学状态，有望突破热预算限制，是实现低温甚至室温高质量键合的核心路径。本报告聚焦于表面活化键合的机理与应用，重点对比高真空表面活化键合（SAB）与等离子体活化键合（PAB）的活化本质与工艺适应性，揭示二者在界面原子扩散、悬挂键生成及结合能演化上的差异。在此基础上，报告将延伸至面向三维集成的无凸点 Cu/SiO2 混合键合技术，围绕高精度对准、界面缺陷形成机制及低温热压协同等关键问题，汇报报告人近期在低温键合与工艺优化方面的研究进展。

嘉宾介绍:

王晨曦，哈尔滨工业大学教授，博士生导师，国家级一流课程负责人，日本东京大学博士，研究方向为晶圆键合及芯片异质异构集成。曾获日本学术振兴会特别研究员资助，参与 JST-CREST 重大项目。回国后主持国家自然科学基金 4 项，承担省级及企业课题 20 余项，发表 SCI/EI 论文 140 余篇，获国际会议最佳论文奖等 7 次论文奖，黑龙江省自然科学一等奖，授权发明专利 17 项，担任电子封装技术国际会议（ICEPT）技术委员会委员，IEEE 高级会员，中国机械工程学会焊接分会和极端制造分会委员。教学方面，曾两次获省级教学竞赛一等奖，“挑战杯”全国大学生科技作品竞赛“揭榜挂帅”擂主（特等奖第一名）指导教师。主持教研项目 4 项，参编教材 2 部。

报告讲者



堆叠芯片的三维热层析和热管理技术

程 哲

北京大学研究员

报告摘要:

人工智能等新兴技术对算力需求呈爆发式增长，受限于国内二维微缩工艺制程的演进速度，算力芯片架构加速向三维堆叠演进。然而，三维集成使芯片内部的关键热阻分布表现出严重的“黑盒效应”，散热难题已成为当前高性能芯片演进的最主要技术瓶颈之一。为此，本报告将从先进热量测、新型高导热材料到集成界面热阻展开探讨：首先，聚焦针对堆叠芯片内部热阻复杂且不明，提出三维热物性测量技术，将“热阻黑盒”透明化；其次，介绍后道兼容低温生长高导热材料的前沿进展，为芯片内部引入高效导热介质；最后，阐述高导热材料的封装集成与界面热阻，为新型散热材料应用于先进封装提供支撑。

嘉宾介绍:

程哲，北京大学集成电路学院研究员、博导、博雅青年学者、未名青年学者、国家高层次青年人才，主要研究方向为三维堆叠以及功率 / 射频芯片的热量测技术、热管理、热测量设备等，在 Nature Communications, IEEE IEDM, Applied Physics Reviews 等国际知名期刊和顶级会议上发表论文 60 余篇，受邀撰写书章节 3 章。获国际先进材料协会先进材料科学家奖章、国家优秀自费留学生奖学金。主持国家自然科学基金面上项目、原创探索计划项目；主持国家重点研发计划课题、发改委项目课题等。

报告讲者



面向先进节点的三维集成技术

赵 鹏

北京大学助理教授 研究员

报告摘要:

本报告概述面向先进技术节点的三维集成技术，重点介绍高密度晶圆正面—背面互连技术（纳米级 TSV）及在其基础上发展的背面供电网络（BSPDN），同时涵盖细间距混合键合、晶圆级层转移等先进三维集成技术。报告将围绕这些技术的基本原理、关键工艺流程及技术发展展开，重点讨论其在极限晶圆减薄、正 - 背面结构对准、键合畸变控制、热管理及工艺兼容性等方面面临的关键挑战。同时，将从设计—技术协同优化（DTCO）的角度，探讨器件、互连与工艺技术之间的协同设计，以及这些技术对先进逻辑器件性能、功耗、和面积等方面的影响。通过上述内容，旨在系统梳理先进三维集成技术的发展趋势，为 2nm 及以下先进节点以及后摩尔时代高性能计算和异构集成提供技术背景和发展思路。

嘉宾介绍:

赵鹏博士于 2022 年获新加坡南洋理工大学博士学位，期间于新加坡科技研究局（A*STAR）微电子研究所（IME）开展联合培养，主要从事面向离子阱量子计算器件的三维集成技术研究。2023 年至 2026 年任职于比利时微电子研究中心（imec），历任研发工程师、高级研发工程师，期间负责背面供电网络（BSPDN）相关技术的研发与集成。2026 年 6 月加入北京大学集成电路学院，现任助理教授、研究员，主要从事先进三维集成技术（nano TSV，hybrid bonding，layer transfer 等）与新型器件架构研究（BSPDN，CFET 等）。

赵博士已发表 20 余篇学术论文，成果发表于 IEDM、VLSI、ECTC、IEEE TED 及 IEEE TCPMT 等国际重要会议和期刊，并拥有多项美国、新加坡技术专利。他曾获 2022 年度 IEEE Electronic Packaging Society Ph.D. Fellowship，并获得 2025 年度 SEMICON Europe “20 under 30”。目前担任国际会议 IEEE EPTC 的技术委员会委员和多个国际学术期刊审稿人。

报告讲者



面向芯粒封装的纳米孪晶铜柱互连调控及可靠性研究

撒子成

哈尔滨工业大学副研究员

报告摘要:

面向先进封装互连尺寸持续微缩和服役电流密度不断提升所引发的界 Kirkendall 空洞及电迁移失效等问题，本报告围绕纳米孪晶铜柱互连的组织调控、界面反应与电迁移可靠性展开。介绍(111)择优取向纳米孪晶铜柱的直流电沉积制备方法，并探究纳米孪晶铜 / 锡焊点的界面反应过程，进一步讨论 Zn 等功能镀层对元素扩散、界面组织和接头力学性能的调控作用。最后、针对高电流密度下铜柱互连焊点的电迁移问题，分析电子风力与微观组织协同作用下的原子迁移、界面偏聚和空洞演化机制。相关研究可为高密度铜柱互连的材料设计、界面优化及可靠性提升提供理论依据和工艺参考。

嘉宾介绍:

撒子成，哈尔滨工业大学材料学院副研究员，主要从事先进电子封装互连材料与可靠性研究，研究方向为三维芯粒封装、异质异构集成、互连结构可靠性与失效机理等。参与国家自然科学基金重点项目、叶企孙联合基金项目、国家重点研发计划等，于 JMST、JMRT 等发表 SCI 论文 9 篇，EI 论文 6 篇，申请专利 4 项，授权 2 项。

论坛7：第三届集成芯片和芯粒技术开源社区大赛



论坛主席

王小航

浙江大学教授

王小航，浙江大学计算机学院 / 网络空间安全学院教授。研究方向为计算机体系结构、系统架构优化。毕业于浙江大学信电系，曾在华南理工大学软件学院任教。

发表包括 IEEE/ACM Trans 顶级期刊和 DAC 顶级会议在内的论文 70 余篇，获得包括 VLSI-SoC 在内的两项硬件设计与硬件安全领域著名会议最佳论文奖。主持科研项目 20 余项（国家级 6 项：国家自然科学基金重点、面上、青年、NSFC- 广东联合超算项目、科技部重点研发课题），担任片上网络领域知名会议 NoCS 18/22 分会组织者，CCF DAC 2023 组织委员会副主席，NoCArc 18 指导委员会委员，APCCAS 18 分会主席，ICCAD、CF（CCF B 类会议）TPC 成员，在 ICCS 20 做特邀报告并担任程序委员会主席，在 20、21 年 CCF 容错计算年会分论坛做特邀报告，担任 Mathematics（JCR 一区）、Computers and Electrical Engineering、Integration, the VLSI Journal 等期刊客座主编，计算机技术与发展期刊的专题编委，担任中国计算机学会（CCF）容错计算、集成电路专委的委员。



论坛主席

朱浩哲

复旦大学助理教授

朱浩哲，复旦大学芯片与系统前沿技术研究院助理教授，博士生导师。2017 年和 2022 年于复旦大学微电子学院分别获得学士和博士学位。2022 年 6 月加入复旦大学芯片与系统前沿技术研究院从事博士后研究，2025 年 5 月起担任青年研究员、助理教授。他长期开展人工智能芯片设计和体系结构的协同探索研究，包括具身智能大模型专用处理芯片、面向机器视觉的三维空间计算芯片、多芯粒三维集成芯片系统、高效能存算融合定制电路等。他近年来已在相关领域高水平学术会议或期刊论文发表数十余篇，其中（共同）第一 / 通讯作者论文包括 ISSCC、JSSC、ISCA、MICRO、HPCA、DAC 等。曾于 2024 年和 2025 年连续获得 IEEE A-SSCC 杰出设计奖，于 2025 年获得 IEEE ICCAD 最佳论文提名等。担任 HPCA、ICTA、ICSICT 多个学术会议的组织和程序委员会成员，担任 JSSC、TCAS-I/2、JETCAS 等期刊和会议的审稿人。

论坛8：IEEE Chiplet Workshop 2026



论坛主席

陈迟晓

复旦大学副研究员

复旦大学集成电路与微纳电子创新学院副研究员/博导，集成芯片与系统全国重点实验室副主任/创新中心主任，国家自然科学基金委优青，上海市青年科技启明星。研究方向包括AI芯片架构、存算一体和三维集成，在12nm-65nm主流节点完成20余次流片。在芯片设计顶会ISSCC/顶刊JSSC等上发表论文11篇，任A-SSCC技术委员会委员，ICAC研讨会共主席等，获上海市技术进步一等奖、IEEE A-SSCC杰出设计奖、复旦大学五四青年奖章等。



论坛主席

孙广宇

北京大学长聘教授，博导

孙广宇的研究领域为体系架构设计与自动化技术，具体包括领域定制计算架构、存算一体架构、scale-up 互连架构、系统 - 工艺协同优化等。他已在 ISCA、MICRO、HPCA、ASPLOS、DAC、ICCAD、IEEE TCAD、IEEE TC 等顶级会议与期刊上发表论文近 200 篇。其研究成果共获得最佳论文奖 5 次、最佳论文提名 4 次；其中，ISCA 2025、HPCA 2023 和 IEEE TCAD 2019 所获的三项最佳论文奖，均为国内第一单位在该会议 / 期刊上首次获得。相关成果还获得了 CCF 自然科学一等奖（排名第 1）和教育部自然科学二等奖（排名第 2）等奖励。孙广宇曾获 DAC Under-40 Innovators Award、CCF-IEEE CS 青年科学家奖、北京市智源青年科学家等荣誉，并入选 ISCA/MICRO/HPCA 等会议的名人堂。他曾担任 IEEE NVMSA 2021 大会共同主席，以及 IEEE RTCSA 2019、CCF APPT 2017、IEEE NAS 2012 的程序委员会共同主席，并多次担任 MICRO、HPCA、DAC 等 20 余个顶级国际会议的程序委员会委员。他现任 ACM TCAD 的编委，还曾担任包括 ACM TECS、IEEE TC 和 CCF HPCC 在内的多个期刊的编委及客座主编。

论坛8：IEEE Chiplet Workshop 2026



论坛主席

陶 俊

复旦大学教授

复旦大学集成电路与微纳电子创新学院教授，IEEE高级会员，2025年入选国家人才项目。主要研究方向为集成电路设计与计算机辅助设计。已在本领域的权威国际期刊和会议IEEE Trans. on CAD、IEEE Trans. on CAS、DAC、ICCAD、DATE等上发表论文近百篇。多次承担/参与国家科技重大专项、重点研发、自然科学基金等项目。多次担任本领域顶会DAC、ASPDAC、FPL等TPC member，以及国际学术期刊IEEE Trans. on CAD、IEEE Trans. on VLSI、ACM Trans. on DAES等审稿人。



论坛主席

Grace Li Zhang

德国达姆施塔特工业大学

Grace Li Zhang joined TU Darmstadt in Germany as a Professor on Hardware for AI in 2022. Her research focuses on hardware acceleration for AI algorithms and systems, AI computing with emerging devices, and neuromorphic computing. She has served/is serving on the technical committee of several conferences including DAC, ICCAD, ASP-DAC, etc.

论坛9：硅转接板与玻璃基板



论坛主席

张召富

武汉大学集成电路学院教授

武汉大学集成电路学院教授，博导。香港科技大学博士，英国剑桥大学博士后。入选国家海外高层次青年人才、湖北省“百人计划”创新人才，连续入选斯坦福大学全球前 2%顶尖科学家(年度科学影响力榜单)。主持国家基金委重点基金、青年基金项目、湖北省 ** 技术攻关项目(课题负责人)，参与基金委重大仪器研制项目(部级推荐)、基金委重点项目、湖北省科技创新团队等十余个项目。张教授长期从事集成电路半导体材料、器件、工艺的多场跨尺度建模仿真协同设计等相关领域研究。发表一作 / 通讯作者 SCI 论文 100 余篇，谷歌学术 h-index 为 45，被引用 7000 余次；在国内外学术会议做邀请报告 20 余次；申请和授权发明专利 30 余项。担任多个期刊编委和青年编委。



论坛主席

刘丰满

华进半导体首席技术官

刘丰满，华进半导体封装先导技术研发中心有限公司首席技术官，从事先进封装与光电集成技术研究，先后承担了科技部重点研发计划、国家自然科学基金、发改委创新平台网络、中国科学院弘光专项等多项科研任务，共发表学术论文100余篇，荣获国家科学技术进步一等奖与中国科学院科发奖。

报告讲者



玻璃基射频无源器件与微系统集成

于大全

厦门云天半导体总经理 厦门大学教授

报告摘要:

报告介绍了玻璃高精度孔、槽加工和制备工艺、高深宽比玻璃通孔、盲孔电镀填充技术进展；介绍了玻璃基无源器件研究进展，包括高性能电感、电容、滤波器以及天线等器件设计、制造、性能和应用情况；进一步介绍了基于玻璃基 4-8 层中介层转接板技术研究进展和应用，玻璃基 IPD 和有源器件的异质异构集成封装技术进展，并指出下一步研究的技术难点和挑战。

嘉宾介绍:

于大全博士，厦门大学特聘教授、厦门云天半导体科技有限公司创始人。曾在香港城市大学、德国夫豪恩霍夫可靠性和微集成研究所、新加坡微电子所、中国科学院微电子研究所开展研发工作，曾担任天水华天科技股份有限公司封装技术研究院院长。长期从事先进微电子封装技术研究与产业化，主持多项国家级重大专项、课题。发表学术论文 270 多篇，授权国家发明专利 100 多项。主编出版《硅通孔三维封装技术》、《玻璃通孔技术》，参与编辑《集成电路产业全书》封装测试卷中文和英文版。荣获 2020 国家科技进步一等奖。

报告讲者



大算力高速交换玻璃基板工艺开发进展报告

蒲贤勇

玻芯成（重庆）半导体科技有限公司
研发副总经理 （玻芯成联合创始人）

报告摘要:

随着信息时代算力需求指数级增长，传统有机基板在高频信号损耗、翘曲控制、大尺寸基板等方面面临瓶颈，玻璃基板凭借低介电损耗、高机械稳定性、优异表面平整度及热膨胀系数匹配等优势，成为支撑大算力芯片与 Chiplet 异构集成的关键路径。

本报告将介绍玻芯成在大算力高速交换大尺寸玻璃基板工艺开发方面的最新进展，重点涵开发背景、基板核心技术、工艺能力、产品应用成果。同时，报告将分享公司在面向大算力高速交换芯片等应用场景的玻璃基封装载板开发成果。

嘉宾介绍:

蒲贤勇，现任玻芯成（重庆）半导体科技有限公司研发副总。曾任职 SSMC，中芯国际特色工艺研发总监，拥有超过 25 年半导体前端工艺开发与产业化经验，长期主导功率 BCD/PMIC、MEMS、硅光、TSV 等先进工艺技术平台的开发与量产。

在玻璃基板领域，将上述半导体先进工艺能力迁移至玻璃基封装载板开发，带领玻芯成团队重点攻关高深宽比 TGV 成孔及金属化、大尺寸面板级高密度布线、多层玻璃堆叠与键合互联等核心技术。

目前主导完成面向大算力高速交换场景的多层玻璃堆叠 GCP（Glass Circuit Plate）样品开发，并交付行业头部客户验证。

报告讲者



TGV互连失效机理研究

杨晓锋

工业和信息化部电子第五研究所高级工程师
电子元器件可靠性技术全国重点实验室
先进封装与微系统可靠性技术总师

报告摘要:

后摩尔时代，先进制程迭代放缓，先进封装已成为器件小型化和高性能的主要技术途径，是国际半导体产业新一轮的竞争焦点，也是国内半导体产业突破封锁的核心方式。近年来，玻璃基板由于其优良的高频电学特性、大尺寸易于获取、CTE 可调等特点，已成为先进封装领域的主要技术方向。截至目前，国内外针对 TGV 的研究主要还停留在成孔工艺、电镀工艺方面，TGV 互连结构的可靠性还鲜有研究。本报告系统的阐述了 TGV 中 Cu- 玻璃异质界面以及“双喇叭孔型”在服役过程中的性能退化及失效机理演变，揭示了 Cu 开裂、玻璃开裂、界面分层等失效新机理，为基于 TGV 的器件封装设计提供数据支撑，促进 TGV 封装器件在装备中的高可靠性应用。

嘉宾介绍:

杨晓锋，博士，硕士生导师。2016 年，2020 年于厦门大学获得工学硕士和博士学位，现任工信部电子五所电子元器件可靠性技术全国重点实验室先进封装与微系统可靠性技术总师。长期从事先进封装技术及先进传感技术研究，主要研究方向包括先进封装可靠性、热机械可靠性、先进传感和柔性电子等。主持和参与了多项国家级、省部级科研项目，包括国家重点研发计划、军科委基础加强、国家自然科学基金、国防基础科研、装发技术基础等。在国际著名期刊上发表论文 30 余篇，申请发明专利 10 余项，制定国家标准 10 余项。

报告讲者



2.5D先进封装硅转接板的技术与发展

徐晓林

武汉新芯集成电路股份有限公司2.5D研发总监

报告摘要:

2.5D 硅转接板技术作为从 2D 到 3D 封装的关键过渡技术，目前已成为高算力和 AI 应用的主流封装方案。

本报告将介绍当前 2.5D 先进封装硅转接板在产业界的主要技术应用以及发展趋势，报告 XMC 公司当前硅转接板的技术路线、研发成果、工艺研发和量产难点等，同时针对未来的 2.5D 硅转接板的技术需求和方向，提出相应的实现路径及方向。

嘉宾介绍:

徐晓林，毕业于西安交通大学，在半导体行业有着 20 年的研发及制造经验，目前在武汉新芯从事 2.5D 先进封装的技术研发工作。

报告讲者



TSV转接板制造及2.5D/3D集成应用

戴风伟

华进半导体资深研发总监

报告摘要:

随着摩尔定律逼近物理极限，先进封装集成技术已成为提升芯片性能、维持产业发展动能的关键路径，通过 2.5D/3D 集成封装技术实现芯片的高密度异构集成是应对算力挑战的核心方向。本报告将深入探讨 2.5D/3D 集成封装技术发展趋势和应用方向，并着重介绍华进半导体公司在无源和有源 TSV 转接板技术研发以及 TSV 转接板在 2.5D/3D 集成产品的应用。作为国内该领域的先行者，华进半导体公司围绕 TSV 核心技术已建成国内领先的技术研发与产业化服务平台，可为产业上下游提供有力的技术支撑和一站式解决方案。

嘉宾介绍:

戴风伟，男，博士，华进半导体公司资深研发总监。具有 19 年先进封装技术研发经历，主要从事晶圆级 2.5D/3D 集成技术、光电共封装技术、三维异质异构集成技术等方向研究，主持或参与包括国家 02 重大专项项目、中国科学院先导 A 项目、科技部攻关工程项目等项目研发。发表学术论文数十篇，申请发明专利超过 130 项。曾获得中国电子学会科学技术奖二等奖、北京市科学技术奖二等奖、中国专利优秀奖和中国科学院科技促进发展奖等奖项。

报告讲者



转接板晶圆翘曲机理与多尺度建模仿真方法

张召富

武汉大学集成电路学院教授

报告摘要:

随着高性能芯片对互连密度的需求持续提升，晶圆在面内尺寸、金属层占比与叠层结构复杂度等方面持续增长，翘曲风险随之加剧，进而对光刻对准精度与键合良率构成严重制约，已成为量产环节的关键瓶颈。为此，本报告围绕大尺寸转接板晶圆翘曲机理与仿真方法展开系统探讨。在翘曲机理方面，重点分析翘曲的成因、演化机制及控制策略；在翘曲仿真方面，针对多尺度、多材料耦合响应导致的计算复杂度高的问题，系统阐述跨尺度建模策略、高效仿真方法及其在数字孪生辅助设计中的应用。

嘉宾介绍:

武汉大学集成电路学院教授，博导。香港科技大学博士，英国剑桥大学博士后。入选国家海外高层次青年人才、湖北省“百人计划”创新人才，连续入选斯坦福大学全球前 2%顶尖科学家(年度科学影响力榜单)。主持国家基金委重点基金、青年基金项目、湖北省 ** 技术攻关项目(课题负责人)，参与基金委重大仪器研制项目(部级推荐)、基金委重点项目、湖北省科技创新团队等十余个项目。张教授长期从事集成电路半导体材料、器件、工艺的多场跨尺度建模仿真协同设计等相关领域研究。发表一作 / 通讯作者 SCI 论文 100 余篇，谷歌学术 h-index 为 46，被引用 7000 余次；在国内外学术会议做邀请报告 20 余次；申请和授权发明专利 30 余项。担任多个期刊编委和青年编委。

报告讲者



激光诱导刻蚀玻璃通孔中玻璃本征网络效应与贝塞尔光束的形貌调控机制研究

安齐昌

中国科学院微电子研究所特别研究助理

报告摘要:

玻璃通孔(TGV)是玻璃转接板和玻璃基板实现芯粒异构集成的核心垂直互连结构。激光诱导刻蚀技术可制备高深宽比 TGV，但侧壁粗糙度、通孔圆度等缺陷制约封装可靠性。本报告从玻璃材料网络结构和贝塞尔光束形貌调控维度，分别揭示玻璃硅氧网络聚合度对 TGV 侧壁粗糙度、波纹缺陷的决定性作用，以及贝塞尔光束引发的残余应力各向异性、调制通孔圆度 / 锥角的物理机制。结合微观表征与光束仿真，建立材料 - 工艺协同优化策略，为玻璃转接板与玻璃基板的应用提供材料 - 工艺联合指导。

嘉宾介绍:

安齐昌，博士，中国科学院微电子研究所封装中心特别研究助理，研究方向聚焦于玻璃基板关键技术及玻璃基先进封装技术，主要包括 TGV 成孔技术、TGV 深孔金属化、多叠层 RDL 技术、WLCSP 等。发表论文 24 篇，专利 50 余项。作为技术骨干参与多项重点项目研究。

论坛10：3DIC系统架构与设计工具论坛



论坛主席

黄嘉逸

香港科技大学（广州）助理教授

黄嘉逸，现任香港科技大学(广州)微电子学域助理教授。曾任阿里巴巴达摩院计算技术科学家，此前于美国加州大学圣塔芭芭拉分校从事博士后研究。分别于浙江大学和美国德州农工大学获得学士和博士学位。研究方向为计算机体系结构、互连网络与机器学习系统，研究工作主要发表于计算机体系结构(ISCA、MICRO、ASPLOS、HPCA)与人工智能(ICML、ICLR、MLSys)国际顶级会议，研究成果捷径连接混合专家模型 ScMoE 已落地美团龙猫大模型系列。曾获得英特尔 2025 年度杰出研究员奖、TAMU Dissertation Fellowship、ISQED 2026 最佳论文奖、ISCA 2025 杰出 Artifact 奖、DATE 2022 最佳论文提名。



论坛主席

王梦迪

中国科学院计算技术研究所助理研究员

王梦迪，中国科学院计算技术研究所助理研究员。主要研究方向为芯粒集成芯片、晶圆级芯片。在TCAD、ASPLOS、ISCA、MICRO、DAC等国际重要会议和期刊上发表论文三十余篇，获得GLSVLSI最佳论文奖以及ICCAD最佳论文提名。担任集成电路专委执行委员、ISCA/CAL审稿人等。

报告讲者



2.5D/3D芯粒高效热仿真有限元网格生成与模块化热模型构建

牛 丹

东南大学副院长 青年首席教授

报告摘要:

在后摩尔时代，基于芯粒(Chiplet)的 2.5D/3D 异构集成已成为提升系统性能和集成度的重要路径，但复杂的三维堆叠结构、密集的跨尺度微互连以及多变的功率与冷却条件，使热仿真面临精度与效率难以兼顾的挑战。传统有限元方法(FEM)虽然具有高保真优势，但在复杂几何结构下的网格生成与优化过程中计算开销巨大；传统紧凑热模型 (CTM) 则在复杂堆叠建模和多场景快速评估中灵活性不足。针对上述问题，围绕芯粒异构集成热分析中的高效建模与快速仿真两个关键技术框架被提出：首先，提出基于人工智能的有限元网格生成算法框架 NeuralMesh，该方法融合深度学习与几何信息实现复杂封装结构中的网格智能优化，无需对传统有限元网格细化过程进行迭代，在保持热仿真精度的同时显著提升网格生成效率，相较商用软件 COMSOL 可实现最高 45.0 倍的网格生成加速，并将热仿真最大平均误差控制在 0.8% 以内；进一步地，为支持不同功率分布、冷却条件和结构配置下的高效多场景热评估，提出模块化热建模框架 LegoTherm，该方法利用芯粒异构集成天然的层次化结构，将复杂系统拆解为可重用的降阶模块，通过高保真三维离散捕捉微互连细节，并通过热耦合端口聚合实现热模型的快速重组与仿真，在工业级 2.5D/3D 封装基准测试中，相较 COMSOL 可实现最高 10.39 倍加速，同时保持平均相对误差低于 0.40%。

嘉宾介绍:

牛丹，东南大学青年首席教授，自动化学院副院长，主要研究人工智能与集成电路瞬态后仿真、芯粒电热仿真交叉方向，主持国自然面上、工信部创新发展项目课题等省部级项目十余项，以及和华大九天、长电科技、腾讯、中车等上市企业产学研合作十余项，近 3 年发表 EDA 或人工智能领域顶会顶刊 20 余篇，获省行业领域十大科技进展、CAA 科学技术进步一等奖、省教学成果一等奖等，现任 CCF 集成电路设计专委会执委、省自动化学会副秘书长等。

报告讲者



ChipletEM: 芯粒异构集成电迁移热耦合分析

徐勤志

中国科学院微电子研究所研究员

报告摘要:

针对芯粒异构集成系统电迁移可靠性挑战，论文提出一种基于物理仿真的分析工具ChipletEM。由于现有模型多忽略 TSV 及非均匀热分布的影响，该工具采用有限体积元进行电热协同仿真，获取初始温度与电流密度；利用时域有限差分求解器计算成核与空洞后阶段的静水应力，并考虑热迁移效应；同时耦合解析 TSV 热求解器模拟温度分布与电流。通过在每个时间步将电迁移与热求解器耦合，工具能在统一计算框架内模拟电迁移应力、空洞生长、电阻变化、IR 压降及焦耳热的相互作用。验证结果显示，与有限元工具相比，成核和生长阶段平均误差仅为 0.61% 和 2.4%；与原子通量散度(AFD)法相比，误差由 22.22% 降至 5.24%(降低 76.4%)。9 芯粒 2.5D 集成系统测试表明，高功耗下 EM 问题更严峻，早期温度起主导因素，后期电流密度为主导。ChipletEM 为芯粒集成系统 EM 签核分析提供了一种高效准确的解决方案。

嘉宾介绍:

徐勤志，博士，中国科学院微电子所研究员，博士生导师。长期从事三维集成芯片多物理场仿真、纳米芯片可制造性设计方法学、先进器件工艺多物理场建模方法、基于第一性原理的纳米复合材料构效关系和 EDA 软件工具研究，在纳米芯片关键工艺仿真和集成芯片多场仿真 EDA 关键技术领域具有多年研发经验。以第一作者或通讯作者发表 SCI 论文、专利和软件著作权 100 余项，获北京市科学技术三等奖和中国电子学会科学技术二等奖等奖励。

报告讲者



HybridSpec: Exploiting Hybrid-Bonding Memory toAccelerate LLM Serving through HeterogeneousArchitecture and Speculative Decoding

邓舒文

清华大学副教授

报告摘要:

Large Language Models (LLMs) are widely used in latency-sensitive serving. Their autoregressive inference demands both high memory bandwidth for token generation and large capacity for massive parameters and growing KV caches. This dual requirement poses a fundamental challenge for memory systems. Hybrid bonding (HB), a recent packaging advancement that delivers unprecedented bandwidth via 3D DRAM-logic stacking, yet faces capacity limitations that confine prior designs to small models or edge settings. We identify that speculative decoding (SD), a lossless method where a lightweight draft model proposes draft tokens that are then verified in parallel by the target model, polarizes memory demands and thus enables separate memory optimization under physical constraints. The low-arithmetic-intensity draft model requires high bandwidth but little capacity, while the computeintensive target model requires large capacity but tolerates lower bandwidth. Based on this insight, we present HybridSpec, a heterogeneous system that combines a high-bandwidth HB stack with large-capacity LPDDR5X. We adopt a mapping where communication between XPU and HB stack occurs only at draftverification boundaries, reducing data transfer. To fully exploit this architecture under dynamic online serving, we further propose: (1) asynchronous batching to balance latency and throughput; (2) utilization-aware speculation that adapts to runtime workloads; and (3) prefill-verification arbitration to mitigate resource contention. Evaluations show HybridSpec improves latency and energy by 3.02× and 1.96× over GPU baselines, supports 2.97× higher request rates under the same servicelevel objectives (SLOs), and remains cost-effective. While prior heterogeneous designs emphasize arithmetic intensity matching, we reveal that absolute memory capacity can be a limiting factor, with significant impact on serving latency.

嘉宾介绍:

邓舒文博士,国家级青年人才项目入选者,现任清华大学电子工程系副教授和特聘研究员。本科毕业于上海交通大学微纳电子学系，博士毕业于美国耶鲁大学电子工程系。主要研究方向立足于计算机体系结构的互连与安全。以第一作者和通讯作者的身份多次在 CCS,ISCA,ASPLOS,HPCA,MICRO,NDSS 等顶级学术会议上发表文章，并被授予中国电子学会电子信息教学成果奖一等奖，AsianHost 会议最佳论文奖，IEEE HOST 最佳博士论文奖，IEEE 硬件与嵌入式安全 Top Picks 奖，谷歌隐私与安全博士研究奖学金和迪克曼奖学金等,受邀在多个国际重要会议与期刊担任学术兼职和评审委员。

报告讲者



LRM-GPU: Alleviating Synchronization Overhead for Multi-Chiplet GPU Architecture

王明羽

中山大学副教授 博士生导师

报告摘要:

随着工艺缩放速度的放缓以及先进封装技术的发展，多芯粒 GPU 已成为进一步提升 GPU 性能可扩展性的一种极具潜力的体系结构。为了充分发挥多芯粒 GPU 架构的性能优势，高效的共享数据同步需要遵循原子性和内存一致性模型，因此，高效的同步机制至关重要。然而，多芯粒 GPU 的存储系统引入了更深的缓存层次结构以及非均衡访存问题，二者都会显著加剧同步操作的开销。具体而言，同步操作需要执行缓存无效和操作，而额外缓存层级的引入会进一步增加这一开销；与此同时，用于同步的原子操作在跨芯粒执行时，还会受到有限芯粒间链路带宽的进一步影响。为解决这些问题，我们提出一种为多芯粒 GPU 提供高效的同步支持的架构 LRM-GPU。为了降低额外缓存层级所带来的开销，LRM-GPU 在多芯粒 GPU 中采用惰性释放一致性。在该机制下，只有当同步变量的所有权在不同芯粒之间发生转移时，额外缓存层级才会执行一致性操作。LRM-GPU 还在 LLC 中实现一个用于跟踪同步变量的目录。为了缓解有限芯粒间带宽条件下跨芯粒同步原子操作所产生的开销，LRM-GPU 提出一种网内同步原子合并单元，用于合并来自不同芯粒的原子请求，从而减少原子操作产生的芯粒间同步通信流量。实验评估结果表明，与 MCM-GPU 相比，LRM-GPU 平均获得 1.33× 的加速。此外，与当前先进工作 HMG 相比，LRM-GPU 平均获得 1.22× 的加速，同时将芯粒间通信流量降低 52%，并将能耗降低 32%。

嘉宾介绍:

王明羽，现任中山大学副教授、博士生导师，主要研究多芯粒处理器和存算一体处理器架构及电路设计等。博士毕业于清华大学微电子学研究所，并在清华大学计算机系高性能所完成博士后研究，以通讯作者 / 第一作者在 ISCA、MICRO、HPCA、IEEE TPDS、IEEE TVLSI、IEEE TCAS-I 等发表学术论文 30 余篇，授权中国发明专利 10 余项，出版《众核处理器》学术专著 1 部、教材 1 部，作为主要起草人牵头编写完成《车规级芯粒系统芯片综合研究报告》在世界智能网联汽车大会成功发布，并参与制定行业标准多项。主持新一代人工智能国家科技重大专项课题、国家自然科学基金重大研究计划培育项目 / 青年项目、国防类某重点专项，以及重要企事业单位委托项目等十余项。主要参与完成十一五、十二五“核高基”国家科技重大专项、十三五国家重点研发计划项目、国家自然科学基金重点项目和广东省重点领域研发计划项目等。

报告讲者



面向大模型的3D NAND存算一体设计

梁 令

北京大学集成电路学院助理研究员

报告摘要:

随着大语言模型的普及，端侧智能应用场景下的大模型部署优化受到广泛关注。由于端侧设备对处理速度、能耗、计算稳定性均有严格的要求，传统以 DRAM、HBM 为主的冯诺依曼架构难以满足端侧场景需求。本次报告将着眼于基于 3D VNAND Flash 存算一体策略，打破 VNAND Flash 存储墙瓶颈，优化大语言模型的端侧部署。

嘉宾介绍:

梁令，北京大学集成电路学院助理研究员，博士毕业于美国加州大学圣芭芭拉分校，长期专注于人工智能与计算机体系结构等前沿领域的研究工作，在 ISCA、CVPR、TACO、IEEE JSTSP 等国际顶级刊物上发表文章 60 余篇，谷歌学术引用 3000 余次，相关成果入选 IEEE JSTSP 期刊封面论文和 2023 年度中国半导体十大研究进展

报告讲者



面向三维集成的架构—物理闭环评估与高效 3D Floorplan

付荣亮

香港中文大学博士后研究员

报告摘要:

三维集成显著提升计算与缓存密度,但设计的实际吞吐率最终取决于其物理实现：模块布图决定热点分布、可持续时钟频率与通信延迟,而传统架构模拟器仅报告逻辑层面的 IPC、缺乏块级物理实现。本报告提出一套＂左移融合＂的设计架构—物理闭环评估流程：为候选架构构建源分离的功耗、面积、几何与缓存时序块模型,以实际交付吞吐率为优化目标,联合搜索层分配与层内布图规划。其物理层采用免划分的三维布图规划方法——以半正定规划全局嵌入联合优化块布图与层分配,并进一步扩展为基于图拉普拉斯初始化的解析式拟牛顿法布图，并经网格合法化，在不依赖预划分的同时降低线长与通信延迟；配合由稳态热线性与功耗—频率分解导出的闭式可持续频率模型,搜索全程无需反复调用热仿真。实验表明，该方法在多类负载与候选架构上均取得一致的交付吞吐率提升；其布图规划算法在公开基准上亦较现有三维布图规划方法明显降低线长并大幅缩短运行时间。

嘉宾介绍:

付荣亮，香港中文大学博士后，博士毕业于香港中文大学，长期从事 AI 驱动 EDA 与超导集成电路设计自动化研究。发表学术论文 50 余篇，其中以第一作者发表论文 21 篇（含 CCF-A 类 11 篇），一作论文入选 IEEE Transactions on Computers 的 Featured Paper of the Month。入选 2026/27 年度香港研究资助局（RGC）新晋学者计划（JRFS），并获 ASP-DAC 2026 Student Research Forum 最佳海报奖等学术奖励。曾担任 IWLS2026 地方组织主席以及 ICCAD 2026、ICCD 2026、ASPDAC 2026 等会议程序委员会委员。

报告讲者



从破局到闭环，合见数字实现产品的国产新通途
UniVista 3DIC Designer & UniVista NodeClosure

韩 盛

上海合见工业软件集团股份有限公司产品总监

报告摘要:

应变局，开新局。面对海内外芯片行业的设计分叉以及工艺分叉，合见数字实现产品筑就国产芯片设计到物理闭环：

UniVista 3DIC Designer：深度支持“韬定律”逻辑折叠。融合 True 3D 分区、跨 Die 多目标优化、物理场感知放置及异构并行加速，帮助设计团队实现 PPAT 全局最优，实现从 RTL 到 3D 架构的设计闭环，大幅缩短上市周期。

UniVista NodeClosure：专为国产先进工艺打造的物理与性能 ECO 收敛工具。跨越流片前最后一纳米，助力客户在国产产线高效完成物理闭环，显著提升量产良率。

嘉宾介绍:

深耕 EDA 领域 25 年，历任国内外头部 EDA 企业数字全流程（RTL-to-GDS）、模拟全流程（Schematic-to-Layout）及签核工具（PEX/STA/EMIR）产品验证负责人。现任合见工软产品验证与工程总监。

报告讲者



向大模型训练的晶圆级芯片：物理约束驱动的并行策略与架构协同优化

王辉征

清华大学博士研究生

报告摘要：

随着大语言模型参数规模与训练复杂度持续增长，传统单芯片与板级多卡系统逐渐面临计算密度、存储容量和互连带宽等多重瓶颈。晶圆级芯片通过在晶圆尺度集成大规模计算、存储与高速互连资源，为突破单芯片集成规模限制、支撑大模型高效训练提供了新的技术路径。然而，受限的晶圆级集成面积与大规模二维片间互连，使计算、存储与通信资源呈现复杂的耦合关系。传统面向 GPU 集群设计的并行计算与资源调度方法难以适配晶圆级芯片的物理特征，如何充分释放晶圆级集成优势仍面临严峻挑战。

面向上述问题，本次报告将剖析晶圆级芯片大模型训练在存储效率、并行通信与资源协同等方面的核心瓶颈，并重点介绍面向晶圆级物理特征的大模型高效训练技术。报告将从存储高效的并行计算与训练策略—硬件架构协同优化两个层面展开，探讨如何充分利用晶圆级芯片高带宽互连能力，缓解存储与通信开销，并通过训练策略、数据映射与硬件资源的协同设计，提升晶圆级系统的整体训练效率与资源利用率。

嘉宾介绍：

王辉征，清华大学集成电路学院博士研究生，主要研究方向为高能效大模型推理软硬件协同架构与晶圆级芯片架构设计。他在计算机体系结构与集成电路领域的国际顶级会议及权威期刊上发表多篇论文，相关成果发表于 HPCA、MICRO、ISCA、ISSCC、ASSCC 及 IEEE TC、JSSC、TCAS-I/II等；申请发明专利23项。入选教育部集成电路高层次人才培养专项、中国科协青年科技人才培育博士生专项，曾获博士研究生国家奖学金、集成电路人才培养—奋进奖学金、中国电子学会优秀硕士论文等荣誉。

论坛11：3D芯片—封装协同优化顶会论坛



论坛主席

刘 盼

复旦大学智能机器人与先进制造创新学院副教授 博士生导师
上海碳化硅功率器件工程技术研究中心副主任

刘盼，女，博士，复旦大学智能机器人与先进制造创新学院副教授，博士生导师，入选上海千人计划及复旦大学卓学优秀人才培育计划。2009 年本科毕业于北京航空航天大学材料与科学工程系，硕博分别毕业于荷兰代尔夫特理工大学可持续能源技术专业与电子工程系。曾任职于荷兰 UL 与德国贺利氏集团，2019 年加入复旦大学，现任上海市碳化硅功率器件工程技术研究中心副主任、复旦大学宁波研究院宽禁带半导体材料与器件研究所副所长、电子封装技术国际会议（ICEPT）技术委员会委员等。已在高水平期刊及国际会议发表论文七十余篇，授权发明及实用新型专利十余项。获批主持国家自然科学基金青年基金（C 类）、上海市科技创新行动计划、宁波市重大科技任务攻关项目、广东省重点领域研究计划等，并与行业龙头企业开展十余项产学研合作。研究内容包括碳化硅基功率器件及可靠性、高性能封装互连材料与热管理、算法辅助的器件 - 封装的协同优化等，致力于提升功率器件和封装在复杂应用环境下的性能与寿命。



论坛主席

刘诗玮

同济大学电子与信息工程学院助理教授

刘诗玮，同济大学电子与信息工程学院助理教授，硕士生导师。主要研究方向包括面向大模型加速的高能效存算一体芯片设计，以及 2.5D/3D 集成的 Chiplet 多芯粒可扩展存算一体系统设计。以第一作者 / 通讯作者身份在 ISSCC、CICC、ESSCIRC、DAC、ICCAD、IEEE TCAS-I、IEEE TVLSI 等集成电路领域顶尖会议和期刊上发表相关研究论文 15 篇，授权国家发明专利 7 项。研究成果入选 IEEE TVLSI 期刊 2023 年亮点文章，博士论文入选“CCF 集成电路设计专业委员会博士论文激励计划”（3 项 / 年）。担任集成芯片与芯粒大会组织委员会委员。

报告讲者



基于机器学习的芯粒设计、模型建立与可靠性监测

程新红

中国科学院上海微系统与信息技术研究所研究员

报告摘要:

机器学习凭借强大的数据驱动拟合与智能决策能力，逐步成为突破芯粒设计、建模与可靠性监测技术壁垒的核心手段。本报告将围绕机器学习在微尺度器件优化、快速建模、智能仿真加速及全链路可靠性监测等关键方向展开。在微尺度器件参数优化层面，机器学习将传统高成本的全空间遍历搜索，转化为低成本候选方案初筛搭配少量高保真仿真验证的新模式，有效压缩设计耗时、缩短迭代周期。针对芯粒建模，充分发挥机器学习收敛速度快、泛化能力优异的突出优势。在可靠性监测领域，机器学习的核心价值不限于常规的性能评估与寿命预测，而是构建起从监测数据、设备健康状态、系统参数表征到数字孪生映射的完整连续感知链路。

嘉宾介绍:

程新红研究员长期从事微电子学与固体电子学领域研究工作，主要研究方向为：宽禁带半导体功率器件、功率器件栅极驱动芯片及保护电路、DC/DC 电源转换系统等。主持承担了国家 02 重大专项课题、国家自然基金项目、中国科学院国际合作项目、上海市科技创新行动计划等多项重大科研任务，取得多项创新性成果，在功率器件等领域中得到了实际应用。在 IEEE TIE、TPE、IEDM 等期刊和会议上上发表 SCI 论文 100 余篇，申请专利 50 余件。2020 年获得上海市科学进步二等奖，2023 年全球“未来产业之星”大赛，未来产业风云奖。

报告讲者



GaN功率器件与集成技术

魏 进

北京大学研究员

报告摘要:

GaN 功率器件以其高临界击穿电场、高迁移率、高频开关能力、宽工作温域等卓越特性，成为未来高效高功率密度电力能源管理系统的有力候选者。目前，650V 及以下电压等级的 GaN 分立器件在手机快充等领域获得一定的商业成功。然而，工业 / 汽车等应用场景，对 GaN 功率器件提出了更多的挑战。第一、如何进一步提升 GaN 功率芯片的开关频率，从而提升系统功率密度。GaN 功率器件固有的高频工作能力，限于分立器件之间的寄生电感效应，难以充分发挥。通过发展 GaN 功率集成技术，将有效消除寄生电感效应，大幅度提升系统开关频率。第二、如何第一步提升 GaN 功率芯片的工作电压等级。动态电阻效应、电场聚聚效应等制约了更高压 GaN 器件及集成电路的发展，因此有必要提出创新方法攻克上述难题。第三、如何进一步提升 GaN 功率芯片的可靠性。目前 GaN 器件难以满足工业应用所需要的短路安全、雪崩耐量等要求，因此有必要提出创新的器件与工艺方法。理解上述挑战的机制，提出解决方案，将推动 GaN 从消费电子领域进入更广泛的工业 / 汽车电子领域。

嘉宾介绍:

魏进，北京大学集成电路学院研究员、博士生导师。魏进博士先后于中山大学、电子科技大学、香港科技大学获得学士、硕士、博士学位。并先后任职于英诺赛科公司研发经理、香港科技大学博士后、研究助理教授、北京大学研究员。长期致力于 GaN、SiC 功率电子器件研究，取得一系列创新成果，以一作 / 通讯作者发表学术论文 100 余篇，包括微电子器件领域顶级会议 / 期刊 IEDM 论文 9 篇、VLSI 论文 2 篇、IEEE EDL 论文 25 篇。总论文（200 余篇）引用 6700 余次，H 指数 45。主持国家青年人才项目、国家自然科学基金重点项目、国家重点研发计划课题等科研项目。近 4 年连续入选斯坦福“全球前 2% 科学家”年度榜单。任 IEEE Electron Device Letters、Science China Information Science、Chinese Journal of Electronics 编 委，任 IEDM、EDTM、WiPDA、ICSICT 等国际会议程序委员会。

报告讲者



基于RRAM-逻辑三维堆叠的大模型近存加速芯片

赵 亮

浙江大学研究员 信息与通信工程系副主任

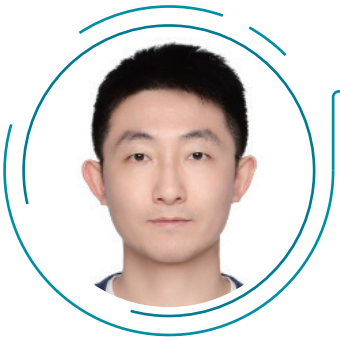
报告摘要:

针对大模型自回归解码中的外部访存瓶颈和投机解码拒绝率高等挑战，提出并实现了首款RRAM- 逻辑三维堆叠的大模型近存加速芯片。该芯片的主要创新点包括：（1）通过 RRAM 堆叠近存计算和向量量化解决草稿模型的访存瓶颈；（2）通过分解式阿达马变换实现稳定的 W4A8 目标模型量化；（3）通过自适应并行投机解码和乱序调度提升大模型推理效率。该芯片首次采用 RRAM 与逻辑芯片面对面堆叠工艺，展示了高带宽、低功耗的近存储访问能力。实验结果表明，该架构在多种模型上实现了显著的系统级加速与能耗降低，为边缘侧大语言模型高效部署提供了新的架构和电路设计思路。

嘉宾介绍:

赵亮，浙江大学信息与电子工程学院百人计划研究员，信息与通信工程系副主任，国家级高层次青年人才。本科毕业于清华大学微电子与纳电子学系，博士毕业于斯坦福大学电子工程系，曾任比利时校际微电子中心（IMEC）和香港科技大学访问学者。作为技术负责人研发的 RRAM 成套工艺技术进入中芯国际官方技术路线图，首创基于 RRAM 的新型显示驱动技术和 RRAM- 逻辑三维堆叠的近存计算架构。长期从事先进存储器和类脑计算技术研究，在 Nature Communications、JSSC、ISSCC、IEDM、VLSI、DAC 等期刊和会议发表高水平学术论文 80 余篇，获发明专利授权 20 项。主持国家重点研发计划重点专项项目、国自然重大研究计划集成项目课题、面上项目、浙江省重点研发计划、浙江省自然科学重大项目等重要科研项目，担任 ASPDAC、ICTA、VLSI-SoC 等国际会议技术委员会委员，曾获“中国芯”优秀技术创新产品奖、日内瓦国际发明展金奖和 ISSCC 智能芯片领域亮点论文。

报告讲者



芯粒互连接口电源完整性研究

江文宁

复旦大学青年副研究员

报告摘要:

随着算力需求的持续提升，互连逐渐成为大算力集成芯片的主要瓶颈之一。先进封装下信道完整性问题被大大优化，而在高速高密度芯粒互连中，电源完整性问题日益突出。本报告将针对 D2D 互连中的电源完整性问题进行分析，并介绍一种低功耗、小面积的电源纹波补偿方案，在 D2D 互连中实现更高的集成密度和能效。

嘉宾介绍:

江文宁博士，复旦大学集成电路与微纳电子创新学院青年副研究员，主要研究方向为高速接口电路、高性能数据转换器、脑机接口等。主持国家自然科学基金青年 / 面上、重点研发课题等纵向项目 6 项，企业合作项目 4 项。在 IEEE ISSCC/JSSC/TCAS-I 等会议和期刊发表论文 20 余篇。

报告讲者



EIGEN: Enabling Efficient 3DIC Interconnect with Heterogeneous Dual-Layer Network-on-Active-Interposer

朱浩哲

复旦大学助理教授

报告摘要:

Chiplet-based 3DICs have emerged as modular solutions for large-scale, high-performance computing systems. However, unlike monolithic Network-on-Chips (NoCs), 3DICs using active interposers encounter difficulties in managing heterogeneous and high-load network traffic patterns. The emerging field of Networks-on-Active-Interposer (NOAI), independently designed from top dies' interconnects, is desired to address these challenges by supporting flexible topologies, low-latency memory access, and reduced traffic congestion. To satisfy the requirements, we propose a heterogeneous dual-layer interconnect architecture, EIGEN, for chiplet-interposer systems, along with a reinforcement learning (RL)-based routing framework, which can provide efficient and flexible communication for chiplet-based 3DICs. EIGEN features an application-aware switch-programable interconnection layer (AspLayer) and a dynamic packet-routing interconnection layer (DynLayer) on the interposer, respectively. To optimize inter-chiplet data communication, we also develop an RL-based path routing framework tailored to this dual-layer architecture. The RL framework' s state space includes topology, network, and memory metrics, while the RL reward is set as the product of average packet latency and link utilization. The effectiveness of EIGEN is demonstrated through different applications where CPU, GPU, and AI accelerator chiplets are integrated via NOAI. Simulation results show that the proposed EIGEN achieves up to 67.16% latency reduction, 53.89% hops reduction and 11.21% runtime reduction compared to the state-of-the-art (SOTA) chiplets interconnect architectures. Furthermore, sensitivity analysis of network scaling shows that the EIGEN architecture and framework exhibit strong scalability, with latency reduction of 20.96% to 52.77% and hop reduction of 19.72% to 43.41% as the system scales from 4×4 to 32×32 chiplets.

嘉宾介绍:

朱浩哲，复旦大学芯片与系统前沿技术研究院助理教授，博士生导师。2017 年和 2022 年于复旦大学微电子学院分别获得学士和博士学位。2022 年 6 月加入复旦大学芯片与系统前沿技术研究院从事博士后研究，2025 年 5 月起担任青年研究员、助理教授。他长期开展人工智能芯片设计和体系结构的协同探索研究，包括具身智能大模型专用处理芯片、面向机器视觉的三维空间计算芯片、多芯粒三维集成芯片系统、高效能存算融合定制电路等。他近年来已在相关领域高水平学术会议或期刊论文发表数十余篇，其中（共同）第一 / 通讯作者论文包括 ISSCC、JSSC、ISCA、MICRO、HPCA、DAC 等。曾于 2024 年和 2025 年连续获得 IEEE A-SSCC 杰出设计奖，于 2025 年获得 IEEE ICCAD 最佳论文提名等。担任 HPCA、ICTA、ICSICT 多个学术会议的组织和程序委员会成员，担任 JSSC、TCAS-I/2、JETCAS 等期刊和会议的审稿人。

报告讲者



System-Technology Co-Optimization for 3DIC Chiplet Integration: Thermal Uniformity and 3DEM-Driven Cross-Die Timing Analysis

刘明阳

知存科技技术专家

报告摘要:

This study proposes a System-Technology Co-Optimization (STCO) framework to address critical multi-physics challenges in 3D heterogeneous chiplet integration, specifically spatial-temporal thermal variation in cross-die timing closure under non-unified PDKs. For thermal management, the framework combines software and hardware strategies to achieve spatial-temporal temperature uniformity, reducing the spatial temperature gradient of the SoC-adjacent memory layer by up to 25%. For timing signoff, a PDK-independent, 3DEM-driven Static Timing Analysis (STA) methodology is introduced to explicitly incorporate jitter from TSV+HB arrays into timing analysis. Applied to a 9-layer stacking case study, the approach optimizes transmission patterns, reducing total jitter from 230.74 ps to 120.28 ps and successfully achieving timing closure. This work offers an effective early-stage STCO solution for performance signoff in advanced 3DIC systems.

嘉宾介绍:

Mingyang Liu graduated from Southeast University and is currently a Technical Expert at WitinMem. He has over 10 years of experience in the semiconductor industry, having worked at Analog Devices, Inc. (ADI) and other leading domestic semiconductor companies. His work focuses extensively on advanced packaging (2.5D CoWoS / 3D Heterogeneous Chiplet Integration), power and thermal management (STCO / PI / SI / Thermal), and system architecture design for high-performance AI and GPU chips. He has led multiple mass-production projects in 3D stacking and System-in-Package (SiP) technologies, published several papers in international academic conferences and core journals, and holds multiple patents in chip packaging.

报告讲者



基于电化学原理的下一代三维集成芯片关键技术探索

王 成

上海交通大学助理教授 博士生导师

报告摘要:

后摩尔时代，三维异构集成（3DIC）技术正重塑计算芯片架构边界，而互连密度的提升与物理极限的逼近构成了核心挑战。本报告立足于电化学技术前沿，提出面向 3DIC 全栈互连的系统性工艺创新方案。在垂直维度，通过低应力高深宽比 TSV 金属电化学填充技术，显著压缩禁布区（KOZ），释放芯片面积效率，突破多层堆叠芯片的空间互连制约；在水平界面，优化电化学混合键合垫沉积工艺技术，实现低温原子级界面互熔连通，构建无缺陷的层间高可靠性互连；在芯片系统级背面供电网络（Backside PDN）领域，引入电化学原子层沉积（E-ALD）金属钌（Ru）技术，攻克 <20nm 极小 Via 填充难题，以替代传统钨工艺，解决高深宽比下的空洞风险，优化电性连通。本报告将深入剖析电化学机理与工艺集成策略，展示其如何协同解决 3DIC 中的关键互连瓶颈，为构建超高密度、低功耗的下一代计算平台提供强有力的材料科学支撑与工程实践指引。

嘉宾介绍:

王成，上海交通大学机械与动力工程学院，长聘教轨助理教授、博士生导师，微纳工程科学全国重点实验室对外合作处副总师，上海交通大学机械与动力工程学院微纳前沿科技联合实验室主任，担任 Micro 杂志青年编委、电子封装技术国际会议专题（AI 赋能的先进封装）委员，曾任职于华为 - 海思技术有限公司，担任 3DIC 主任工程师，兼具基础学术研究与卓越工程实践技术背景。长期深耕于三维异构集成芯片工艺领域，以低温混合键合、高深宽比 TSV/TGV 工艺发展为基，探索高密后段金属互连工艺，聚焦多层堆叠三维集成芯片高效热管理和电源管理，以实现高性能计算、高带宽存储芯片等研究发展，致力于推动产学研深度融合与技术革新，探索下一代高密三维集成芯片的深度技术发展。

论坛12：Chiplet EDA与物理仿真验证技术



论坛主席

吴林晟

上海交通大学集成电路学院副院长 教授

吴林晟，上海交通大学集成电路学院（信息与电子工程学院）教授，国家杰青，射频异质异构集成全国重点实验室副主任。主要研究方向为微波电路与器件、射频 EDA、射频系统级封装与异质异构集成。主持国家自然科学基金重大项目课题、国家重点研发计划课题、国家重大专项子课题等。发表学术论文 260 余篇，授权发明专利 25 项，登记软著 12 项。获国家科技进步一等奖 1 项、二等奖 1 项，上海市科技进步一等奖 2 项，中国电子学会创新团队奖 1 项。现为中国电子学会微波分会青年副主任委员，IEEE 高级会员，曾任 2020 年、2026 年全国微波毫米波会议技术程序委员会主席。



论坛主席

代文亮

芯和半导体科技（上海）股份有限公司创始人 总裁
正高级工程师

代文亮，芯和半导体科技（上海）股份有限公司创始人、总裁，正高级工程师，上海交通大学工学博士。2025年入选上海市东方英才计划领军项目，2024年获国家科学技术进步一等奖，2020年获上海科技进步一等奖。现任国家自然科学基金信息科学部集成电路领域评审专家、工信部国家信息技术紧缺人才培养工程专家、中国工程院咨询专家、数字化工业软件联盟副理事长、晶上系统技术与产业联盟专家委员会委员、上海交通大学集成电路学院和人工智能学院产教协同专家委员会委员、中国电子学会微波分会委员、中国计算机学会集成电路执行委员会委员。

报告讲者



半导体芯片中高性能多物理场耦合求解器开发：挑战与应用

尹文言

浙江大学信电学院 电磁信息与电子集成创新研究所所长
求是特聘教授（二级教授） IEEE Fellow

报告摘要:

本报告针对三维集成(3DIC)、先进封装(SiP)和芯粒(Chiplets)的集成应用需求，特别是半导体芯片中量子多物理到经典多物理场强耦合、全耦合过程的高置信度建模与仿真挑战性，介绍研究团队在先进 5nm 乃至 3nm 工艺节点制备的“超短沟道”半导体器件中量子多物理建模仿真、“长沟道”宽禁带半导体器件(GaN HEMT/GaN FinFET 等)中电 - 热 - 力强耦合仿真，以及 1T1R 等多尺度结构中多物理场 - 路一体化求解器开发进展，相关大规模并行强扩展与弱扩展架构已分别在“曙光”超级计算机上得到验证与示范应用。

嘉宾介绍:

尹文言，IEEE 会士（2013 年起 -），1994 年获得西安交通大学博士学位；是德国洪堡（AvH）学者（1996.10-1998.12），新加坡国立大学研究科学（1998.12-2005.10），2005 年 4 月至 2008 年 12 月，在上海交通大学电子信息与电气工程学院任教授；2009 年 1 月至今，在浙江大学任“求是”特聘教授；发表 420 余篇 IEEE 等国际学术期刊论文，撰写出版了 3 部国际学术专著和 3 部国内学术专著。研究方向包括平台和设备电磁兼容与电磁防护、计算电磁学与多物理场软件（EDA）开发与应用、纳米电子学、三维集成电路与先进封装技术等; 自 2013 年 1 月至今，一直担任 IEEE T-CPMT 副主编；长期担任浙江大学信电学院电磁信息与电子集成创新研究所长（EIEI）（2015 年 -）；曾分别于 2005、2011 和 2019 年获得上海市科学技进步一等奖，2008 年获国家技术发明奖二等奖，2012 年获国家科学技术进步奖二等奖，2015 年获国防技术发明奖二等奖，以及多次国际学术会议最佳论文奖。

报告讲者



Tau原生设计方法学及EDA思考与实践

刘晓明

北京华大九天科技股份有限公司高级产品总监

报告摘要:

摩尔定律逼近物理极限，Tau 原生设计方法学成为后摩尔时代 EDA 演进核心方向。传统 EDA 工具采用“黑盒互联”模式，难以适配三维异构集成芯片架构，亟需转向“白盒联合优化”设计范式。本次演讲剖析 Tau 原生 EDA 在跨层级协同、仿真验证驱动的设计优化、统一数据底座等维度面临的核心技术挑战。结合华大九天在 3DIC 领域的工具布局与工程实践，分享自主 EDA 平台在统一架构、全流程工具链上的探索路径。立足国内产业现状，探讨如何依托 Tau 原生方法学持续完善工具生态，构筑全面自主可控的中国 EDA 核心竞争力。

嘉宾介绍:

刘晓明，北京华大九天科技股份有限公司高级产品总监，具有 10 多年 ASIC 芯片设计，制造及封装 EDA 软件产品开发与管理经验，专注于 EDA 产品的策划、开发与推广工作，打造了模拟芯片设计 EDA 全流程解决方案，并扩展到平板显示，信号链，存储，射频及光电等泛模拟芯片设计领域，正在构建 PPAC 导向的设计 - 制造 - 封装协同设计解决方案，并牵头 3DIC EDA 技术路线图的制定。领导开发的众多产品已被国内外顶级 IC 设计公司加入标准设计流程，并得到高度认可。

报告讲者



多智能体驱动的多物理场仿真与集成芯片设计新范式

蒋历国

芯和半导体科技（上海）股份有限公司研发副总裁

报告摘要:

基于芯粒的异构集成已成为延续算力增长的关键路径，但多芯粒通过先进封装高密度集成为最终产品后，信号完整性、电源完整性、热完整性、应力完整性及流体散热等多物理场问题深度耦合，传统串行“设计→仿真→改版”的 EDA 流程难以高效应对日益攀升的设计复杂度。本文提出一种多智能体协同架构下的集成芯片设计新范式，将多物理场仿真从流程末端的“验证环节”前移至设计全流程，实现设计、仿真与优化的深度融合及自主迭代。该范式以编排智能体为核心调度中枢，依据设计规范与用户意图自动拆解验证目标，对各类专用智能体及仿真工具进行统一协同调度。通过多智能体的协同编排，本范式将信号完整性、电源完整性、热完整性、应力完整性与流体分析等孤岛化的仿真模块有机融合，并在统一框架下实现多物理场耦合仿真。该范式从根本上颠覆了“分段设计、后期验证”的线性模式，建立了设计前置、并行仿真与自主迭代的新流程，显著缩短集成芯片设计收敛周期，为后摩尔时代复杂异构集成芯片的高效设计提供了全新的智能化路径。

嘉宾介绍:

蒋历国，芯和半导体科技（上海）股份有限公司 EDA 研发副总裁，毕业于上海交通大学微电子学院电路与系统专业，有将近 18 年的大型商业 EDA 软件管理和开发经验，先后在 Synopsys 和 Cadence 等业内知名公司工作。目前主要负责芯和 EDA 软件产品规划、技术架构实施以及研发流程管理等工作，尤其擅长电磁仿真、信号完整性、电源完整性和热完整性等多物理仿真相关工具开发，并重点支撑从芯片、Chiplet、封装到整机级的集成系统设计应用。2024 年获“国家科技进步”一等奖，2020 年获“上海市科技进步”一等奖。已获授权 1 项 PCT 国际专利和 24 项发明专利。

报告讲者



集成芯片多物理场高效仿真技术

唐 旻

上海交通大学教授

报告摘要:

随着芯粒集成需求的不断提升，集成芯片的准确建模和高效仿真面临越来越严峻的挑战，建模仿真的精度与效率之间的矛盾日益突出。本报告针对多芯粒异质异构集成芯片的多物理场仿真需求，介绍多种高效的建模仿真方法，例如，基于拉盖尔基有限元以及区域分解等技术对三维复杂对象的空间域和时间域进行处理，提取特征模块的宏模型，实现无条件稳定的阶数步进求解，融合并行计算，显著提升了仿真效率。

嘉宾介绍:

唐旻，教授，博士生导师，国家级科技创新领军人才，主要研究领域为集成电路多物理场仿真 EDA 技术。近年来主持国家重点研发项目、国家自然科学基金重点项目等科研项目 30 余项，发表 SCI/EI 论文 200 余篇，登记软件著作权 21 项，授权国内发明专利 19 项。代表性成果先后获得 2019 年上海市科学技术进步一等奖，2020 年中国高等学校十大科技进展，2023 年国家科学技术进步一等奖。

报告讲者



面向STCO的多物理EDA

詹启伟

浙江大学人力资源处副处长 正高

报告摘要:

后摩尔时代，工艺微缩逼近物理极限，芯粒与集成芯片技术成为系统算力增长的主要驱动力，系统 - 工艺协同优化（STCO）对 EDA 工具提出了跨尺度、多物理耦合与智能设计的全新要求。本报告提出多物理 EDA 概念，将多物理建模、多尺度计算与新一代人工智能深度融合，以数据与物理双轮驱动方式实现信息的极致压缩，突破传统仿真在效率与设计空间探索上的瓶颈，构建面向后摩尔时代集成芯片与装备系统的多物理先进 EDA 、CAD/CAE/CAM 一体化工业软件架构，攻克万亿级自由度的大型多物理问题的高效精准求解难题。

嘉宾介绍:

詹启伟，现任职于浙江大学信息与电子工程学院，正高级、博导；浙江大学人力资源处专聘副处长、信电先进技术中心主任、电子工程系副主任；国家高层次科技创新人才、国家优青。致力于多物理先进计算、新一代人工智能理论研究，应用于集成电路 EDA、物理 AI、CAD/CAE/CAM 一体化工业软件研发；发表学术论文 100 余篇；主持国家自然科学基金委、科技委等一系列重大重点项目；担任领域多个国际顶级期刊副主编，贡献大会主旨报告多次。

报告讲者



人工智能时代的光电集成芯片仿真

杜刘革

山东大学教授

报告摘要:

传统光电集成芯片设计依赖人工参数扫描与直觉驱动优化，在面临高维非凸的设计空间时效率低、易陷局部最优，专业的设计软件也十分依赖设计者的经验，越来越无法满足行业的迅速扩张带来的芯片设计与分析需求，而人工智能的发展与广泛应用为硅光芯片的设计提供了新的思路。本报告基于团队近年来在此交叉领域的探索与实践，对硅光集成芯片与人工智能的发展、神经网络代理模型及逆设计、基于大语言模型的智能体在硅光器件设计中的应用进行了介绍，特别展示了集成智能体的硅光器件仿真软件的研究与工程化应用效果，并对该研究方向存在的问题以及和未来发展方向进行了展望。

嘉宾介绍:

杜刘革，山东大学教授，博士生导师，上海曼光首席科学家，主要研究方向为电磁场数值分析、微波与光电器件逆设计方法及测量技术，主持国家重点研发计划课题、国家自然科学基金、工信部重点项目课题、装备发展部及国防科工局国防项目十余项及企事业单位横向课题多项。获中电集团科技进步特等奖、技术发明一等奖各 1 项，中国电子学会科技进步一等奖 1 项，中国光学工程学会科技进步二等奖 1 项，获中电集团青年拔尖人才，入选山东大学青年学者未来计划、山东省泰山学者青年专家计划；在 IEEE Trans. Microw. THEORY Tech.、IEEE Trans. Instrum. Meas.、IEEE ANTENNAS Wirel. Propag. Lett.、J. Light. Technol.，Opt. EXPRESS 等中国科学院一区、二区期刊及学术会议发表 SCI/EI 检索学术论文 70 余篇，获国家发明专利授权 40 余项。

报告讲者



EDA兼容的硅光器件模型建造

曹国威

联合微电子中心有限责任公司资深专家 正高级工程师

报告摘要:

随着光电集成芯片向高密度集成、复杂系统互连及多物理场协同设计方向发展，传统光电器件模型在标准化、可复用性以及 EDA 工具兼容性方面面临新的挑战。

本次报告将围绕面向 EDA 兼容的光电芯片建模技术展开介绍，重点讨论光电模型模板设计、建模自动化流程构建、电路兼容模型开发以及模型质量校验等关键技术。通过标准化接口、参数体系和行为描述框架，实现光电模型的规范化封装与跨平台复用；探讨覆盖器件仿真、参数提取、模型生成和版本管理的自动化建模流程，提高模型开发效率与一致性；分析光电器件模型与电路级仿真环境的兼容机制，实现光电混合集成系统的协同仿真；同时介绍模型质量评估与验证方法，包括参数一致性检查、仿真精度评估、稳定性分析等内容。

嘉宾介绍:

曹国威，联合微电子中心资深专家，主要研究硅光 PDK 和 EPDA。负责了国内首款硅光 PDK 的研制，打破硅光芯片对国外工艺线的依赖。承担多项 EDA/EPDA 方向重点任务，自研建模工具、版图工具形成应用。

报告讲者



3DIC Signoff 仿真验证 -- 国产EDA行芯实践分享

任 旭

杭州行芯科技有限公司总监

报告摘要:

本次演讲以当前先进制程在国内与国际路线分岔为基础，指出国产 EDA 需适配国内 3DIC 芯片设计路线。并以行芯寄生参数提取工具的开发逻辑和应用为导引，衍生出国产 3DIC 在 Signoff 仿真验证的真实痛点及行芯 Signoff EDA 仿真验证工具的应对策略，并给出在实际应用中的数据支撑。最后对未来 3DIC 芯片 Signoff 仿真验证的趋势和引入 AI 加速收敛作出展望。

嘉宾介绍:

任旭，拥有 15 年以上 EDA 行业从业经验，现任杭州行芯业务拓展总监，专职负责晶圆厂生态体系搭建与战略客户深度业务合作。入职行芯前，他先后任职于西门子 EDA、欧洲微电子研究中心 IMEC、PDF Solutions 等行业头部机构，历任战略客户高级经理、亚太区业务开发经理、资深技术推广与芯片设计主管等核心岗位，兼具全球顶尖厂商、科研机构及专业解决方案企业的复合型业务与技术落地经验。

论坛13：算力芯片先进供电架构与关键器件技术



论坛主席

程 林

中国科学技术大学教授

程林，香港科技大学博士，现任中国科学技术大学国家示范性微电子学院教授、博士生导师，副院长。主要研究方向为功率及模拟集成电路设计，包括算力系统供电架构及芯片，高速、高压及隔离电源芯片，模拟前端芯片等。主持或参与国家自然科学基金重点项目、面上项目、科技部重点研发计划等项目10余项，在国际会议和期刊上发表论文100多篇，其中包括ISSCC和JSSC论文共40余篇。曾获安徽省教学成果特等奖（序1）、IEEE SSCS New Frontier Award，ASP-DAC最佳设计奖和香港科学会青年科学家（提名奖）等奖项。现任ISSCC技术委员会委员，并担任2024年IEEE ICTA技术委员会主席。



论坛主席

陈映平

复旦大学准聘副教授

陈映平，博士生导师，2021 年入选国家海外高层次青年人才引进计划。2008 年于北京理工大学获得学士学位，2012 年于中国科学院微电子所获得硕士学位，2020 年于 The University of Texas at Dallas 电子工程专业获得博士学位，2020 年至 2021 年在比利时欧洲微电子中心 IMEC 进行博士后研究。2012 年至 2015 年先后在北京希格玛微电子和戴乐格半导体等公司担任模拟设计工程师。主要从事模拟/功率集成电路设计。

报告讲者



面向算力处理器的三维垂直供电芯片与系统

路 延

清华大学长聘教授

报告摘要:

随着人工智能的全面爆发，信息产业对算力的需求呈指数级增长。当前算力芯片的低压大电流场景下，传统平面供电网络直接将小于 1V 的电源电压供给至算力处理器系统，存在非常大的 I2R 导通损耗，并在供电“最后一毫米”的封装层面需占用处理器大部分的 I/O 接口资源，形成“功率墙”。近年来，基于开关电容电感的混合型功率转换器成为研究热点，有望在三维层面缓解低压大电流供电难的问题。本报告将从混合拓扑架构出发，讨论当前算力供电系统的瓶颈与可能的解决方案。

嘉宾介绍:

路延，清华大学长聘教授、兴华讲席教授、国家级高层次人才。2013 年博士毕业于香港科技大学电子与计算机工程系。2014 至 2024 年就职于澳门大学微电子国家重点实验室；2024 年加入清华大学电子工程系。主要研究方向包括电源管理芯片设计、功率转换器设计、无线能量传输电路与系统等。发表 IC 设计顶尖论文 ISSCC+JSSC 共七十余篇，出版专著三部。曾获多项 IEEE 协会和学术会议奖项，任 IEEE SSCS 杰出讲师、IEEE CASS 杰出讲师、IEEE TCAS-II 资深领域编辑和《半导体学报》副主编。华人芯片设计技术研讨会（ICAC）发起人。

报告讲者



面向高算力芯片的垂直供电：从磁性元件到拓扑架构的关键技术研究

王 平

香港科技大学终身教轨助理教授

报告摘要：

随着人工智能处理器持续向更高算力、更大芯片面积和千安级供电电流发展，传统水平供电在传输损耗、布线资源和瞬态性能等方面面临瓶颈，垂直供电逐渐成为高性能计算系统的重要发展方向。本报告围绕垂直供电中的磁性元件与拓扑架构两项关键技术展开。首先，针对高电流及剧烈负载瞬态下磁性元件易饱和、损耗与耦合性能难以兼顾的问题，介绍一种由铁氧体与合金粉芯构成的复合磁芯耦合电感。该结构利用不同工况下磁通路径的自适应转移，在额定工况下保持高耦合与低损耗，并在突发电流及相间不均衡条件下提升抗饱和能力。进一步从磁性元件拓展至系统级供电架构，介绍多级堆叠开关电容点负载（MSC-PoL）拓扑，通过堆叠开关电容单元与开关电感单元协同实现大变比降压、软充电及电压调节，并结合 GaN-Si 混合器件、耦合磁集成与三维封装，实现 48 V 至 1 V、450 A 高密度供电。实验结果验证了上述磁性元件与拓扑架构在提升垂直供电效率、功率密度及瞬态性能方面的有效性，为下一代高算力 AI 处理器的高密度垂直供电提供了新的技术路径。

嘉宾介绍：

王平，香港科技大学电子与计算机工程学系终身教轨助理教授。于 2017 年获上海交通大学学士学位，2023 年获普林斯顿大学博士学位。2023 年至 2025 年入选华为“天才少年计划”（最高档），主导面向 AI 计算芯片的电源架构研发，相关成果已于 2025 年实现量产，预计支撑两代以上昇腾 AI 芯片。2025 年加入香港科技大学电子与计算机工程学系，主要从事高频高功率密度电力电子、AI 芯片供电、数据中心电源架构、磁集成建模与优化设计等方向研究。曾获 IEEE PELS 博士论文报告奖、两次 IEEE TPEL Prize Paper Award、两次 IEEE ECCE 最佳学生项目竞赛一等奖、IEEE APEC 杰出报告奖等多项国际学术奖励。

报告讲者



调压型谐振开关电容在高性能供电中的探究和应用

屈万园

浙江大学教授

报告摘要:

谐振开关电容（ReSC）转换器具有高效率和功率密度，在瞬态性能方面也展现出巨大潜力。然而，ReSC 通常工作在开环状态，其调压和控制特性尚未得到充分分析。此次报告聚焦于直接型与间接型两类 ReSC 拓扑，并以 2:1 转压比为例，详细推导并建立了精确的调压输出模型和小信号模型，并对这两种拓扑进行了系统分析和比较。在前述分析基础之上，本报告展示了两种调压型 ReSC 电源管理方案，展示了调压型谐振开关电容在高性能供电中的潜在优势。

嘉宾介绍:

屈万园，浙江大学集成电路学院教授，博士生导师，国家级青年人才。博士毕业于韩国科学技术院，2008 年至 2017 年就职于韩国 LG 公司从事集成电路研发工作，历任工程师、资深工程师、责任工程师；2017 年起加入浙江大学并工作至今，长期从事数模混合集成电路设计相关研究工作，主要研究方向为面向三维异构集成的高密度电源管理芯片设计，包括混合电源拓扑的架构构建方法和优化理论、高动态电源环路的控制策略和驱动技术等。领导量产多款高性能电源管理芯片，发表国际固态电路会议及期刊 JSSC 论文多篇，担任多个 IEEE 高水平会议技术委员会成员。

报告讲者



面向AI供电先进功率软磁材料及应用技术

满其奎

中国科学院宁波材料技术与工程研究所副主任 研究员

报告摘要:

AI 计算的发展推动电源与磁性材料向更高效、更高频、更高集成度的方向持续演进，从功率磁材料到供电架构将迎来全面革新。保持高功率密度、提升工作频率和降低损耗是软磁材料和器件面临的挑战。针对高效电源模块需求，开发高 Bs(1.5-1.7 T) 和低损耗的纳米晶软磁材料、高频低损铁氧体材料，研发金属软磁薄膜材料；开发超细（D50≤10 μm）非晶纳米晶软磁粉末制备技术和超薄致密软磁粉末绝缘和磁粉复配技术；研制百吨级自动化设备实现微细球状纳米晶合金粉末的稳定生产，用独创的“整版模切法”制备一体成型模压电感并实现应用。通过高频软磁材料“基础 - 材料 - 器件”协同创新，为 AI、6G 通信等战略性新兴产业发展提供支撑。

嘉宾介绍:

满其奎，男，研究员，博士生导师，国家重点研发计划首席科学家，浙江省磁性材料及应用实验室副主任，浙江省磁性材料应用技术创新中心总经理，任中国电机工程学会输变电材料专业委员会、全国电工合金标准化技术委员会委员、全国磁性元件与铁氧体材料标准化技术委员会委员等。长期从事新型高频磁性材料及其应用技术研究，包括非晶软磁材料、稀土软磁材料、新型吸波材料等。发表 SCI 论文 110 余篇，申请发明专利 164 项（包括 PCT 专利 5 项），授权 64 项，作为第一起草人发布国家标准 2 项；主持国家重点研发计划、中国科学院 STS 项目、浙江省重点研发计划和企业合作等项目共 20 余项。

报告讲者



动态应力下碳化硅 MOSFET 功率器件的性能退化、失效机理及多因素耦合的可靠性研究

刘 盼

复旦大学智能机器人与先进制造创新学院副教授 博士生导师
上海碳化硅功率器件工程技术研究中心副主任

报告摘要:

碳化硅 MOSFET 作为宽禁带功率器件的核心代表，已应用于电动汽车、智能电网、AI 数据中心及高端工业驱动等高压电能转换场景。然而，其在实际运行中往往承受动态栅偏（DGS）、动态反偏（DRB）、动态高温高湿反偏（DH3TRB）等多重应力的耦合作用，传统基于单一应力的寿命评估方法难以准确反映器件在复杂工况下的退化行为与失效路径。本报告围绕碳化硅 MOSFET 多应力耦合工况下的可靠性问题，开展系列动态测试和失效分析，研究退化机理，重点分析栅氧化层界面态演化、终端界面电场、热机械疲劳等关键失效模式，并揭示电–热–湿–机械多物理场之间的耦合加速机制。在此基础上，建立参数漂移与失效判据之间的映射关系，探索面向实际应用工况的寿命预测模型，为碳化硅 MOSFET 功率器件设计、工艺优化及驱动可靠性提升提供重要理论依据与技术支撑。

嘉宾介绍:

刘盼，女，博士，复旦大学智能机器人与先进制造创新学院副教授，博士生导师，入选上海千人计划及复旦大学卓学优秀人才培育计划。2009 年本科毕业于北京航空航天大学材料与科学工程系，硕博分别毕业于荷兰代尔夫特理工大学可持续能源技术专业与电子工程系。曾任职于荷兰 UL 与德国贺利氏集团，2019 年加入复旦大学，现任上海市碳化硅功率器件工程技术研究中心副主任、复旦大学宁波研究院宽禁带半导体材料与器件研究所副所长、电子封装技术国际会议（ICEPT）技术委员会委员等。已在高水平期刊及国际会议发表论文七十余篇，授权发明及实用新型专利十余项。获批主持国家自然科学基金青年基金（C 类）、上海市科技创新行动计划、宁波市重大科技任务攻关项目、广东省重点领域研究计划等，并与行业龙头企业开展十余项产学研合作。研究内容包括碳化硅基功率器件及可靠性、高性能封装互连材料与热管理、算法辅助的器件 - 封装的协同优化等，致力于提升功率器件和封装在复杂应用环境下的性能与寿命。

报告讲者



GaN功率器件及集成技术研究进展

刘斯扬

东南大学教授

报告摘要:

功率半导体器件及芯片在智能电网、工业控制、航空航天等领域有广泛的应用。近年来，作为第三代半导体器件的功率 GaN 高电子迁移率晶体管(HEMT)器件凭借其栅电荷小、开关速度快、无反向恢复等优点受到了业界的广泛关注，尤其在高效供电方面成为研究和产业化的热点。本报告介绍 GaN HEMT 器件新结构、SPICE 模型及可靠性等方面的研究进展，并探讨了 GaN 功率集成技术发展方向，展示了 GaN 功率器件及集成芯片在功率系统中的重要作用。

嘉宾介绍:

东南大学教授，主要从事功率半导体器件及集成技术研究。主持国家自然科学重点基金、国家重点研发计划课题等 15 项。发表 SCI 论文 113 篇，IEDM、VLSI、ISPSD 等国际会议论文 25 篇，授权美国专利 7 项、中国发明专利 45 项。获国家技术发明二等奖(排 2)、教育部科技进步一等奖(排 2)、中国青年科技奖、中国电子学会青年科学家奖。

报告讲者



集成GaN功率驱动关键技术研究

闫 冬

中国科学技术大学特任教授

报告摘要:

随着高频、高功率密度功率转换的发展，GaN 功率器件凭借高速开关和低损耗等优势得到广泛关注，同时对其驱动电路的性能、可靠性及集成度提出了更高要求。本报告围绕集成 GaN 功率驱动关键技术展开。首先介绍高速 GaN 功率器件驱动所面临的高电压变化率 (dv/dt)、高边信号传输、栅极可靠性及高边供电等关键挑战；随后介绍高速高压电平移位、栅极驱动及自举供电等关键电路技术。在此基础上，进一步介绍 GaN 功率器件与驱动电路的全集成技术，讨论从分立驱动到单片集成的发展，以及全集成条件下高速驱动、寄生效应、可靠性等关键设计问题。最后，对 GaN 功率驱动向更高频率、更高可靠性和更高集成度方向的发展进行展望。

嘉宾介绍:

闫冬博士，2014 年获哈尔滨工业大学电子信息科学与技术专业学士学位，2016 年获哈尔滨工业大学微电子与固体电子学专业硕士学位，2021 年获美国德克萨斯大学达拉斯分校电子工程博士学位。同年加入美国德州仪器，从事高性能 GaN 功率驱动及 GaN 功率转换相关研发工作。2026 年加入中国科学技术大学，现任特任教授。

主要从事模拟与功率集成电路研究，研究方向包括集成功率转换（DC/DC、AC/DC）、宽禁带半导体（GaN/SiC）功率器件驱动与芯片集成技术，以及电源管理与模拟混合信号集成电路。

论坛14：三维堆叠芯片系统设计封装协同（STCO）



论坛主席

吴语茂

复旦大学特聘教授

吴语茂教授，复旦大学特聘教授，纳米研究院副院长，未来信息学院人才中心主任，集成芯片与系统全国重点实验室学术委员会成员（校内）、从事计算电磁学、集成电路 EDA 多物理场与应用研究，担任国家重点研发计划项目首席科学家，主持国家杰出青年科学基金、国家自然科学基金重大研究计划重点项目（中期优秀）等。



论坛主席

王逸群

湖北星辰技术有限公司总经理 正高级工程师

王逸群博士毕业于清华大学，湖北星辰技术有限公司总经理，湖北江城实验室常务副主任，兼任湖北省半导体行业协会秘书长。王逸群博士具有近20年集成电路设计、工艺研发与大型晶圆制造项目运营管理经验，专注于高密度先进封装工艺、芯片集成架构、存算融合技术领域，牵头建成运营国内领先的12英寸高密度先进封装产业化平台，在集成电路国际顶级会议与期刊发表论文20余篇，引用次数超过1000次，公开及授权专利75项，主持10余项国家与省部级科技公关项目。

报告讲者



工艺-多场协同效应下的器件性能及可靠性分析

陈文超

上海交通大学教授

报告摘要:

如何评估工艺效应及多场效应对器件性能及可靠性的影响是 STCO/DTCO 技术的关键之一。报告从先进封装中的器件仿真改进算法出发，结合多物理场仿真、电路 - 热路 - 力路多物理路仿真新方法，分析工艺波动、工艺缺陷、多物理效应等协同效应下的有源器件、键合互连的性能及可靠性，为 STCO 或 DTCO 设计提供技术支撑。

嘉宾介绍:

陈文超，上海交通大学集成电路学院（信息与电子工程学院）教授、博士生导师，国家优青基金获得者（2021），射频异质异构集成全国重点实验室骨干成员。开展了从器件、电路到封装的多层次、多尺度多物理场计算方法与应用研究。多项成果用于头部企业相关产品研发，获华为火花奖、中国光学工程学会科技进步二等奖等奖励。已发表 100 余篇论文，含 IEEE 汇刊论文 50 余篇、Nature Nanotechnology 论文 3 篇，被引用 5000 余次。

报告讲者



模型驱动的射频化合物半导体工艺-电路协同优化

徐跃杭

电子科技大学教授

报告摘要:

面向 5G/6G 通信对射频芯片性能持续提升的需求，以及器件尺寸缩小和工艺复杂度提升带来的挑战，传统“设计—制造—测试”串行研发模式逐渐暴露出周期长、成本高、工艺与电路协同不足等问题，射频芯片性能进一步提升面临瓶颈。本报告聚焦射频化合物半导体集成电路，围绕“模型驱动的射频化合物工艺—电路协同优化”开展研究，以器件模型为连接工艺与电路的核心纽带，将器件物理、人工智能与电路设计方法深度融合，构建面向工艺变化的物理增强型紧凑模型，实现工艺参数、器件特性与电路性能之间的高效映射与协同优化，形成贯通“工艺—器件—电路”的模型驱动设计方法，为充分挖掘化合物半导体工艺潜能、突破射频芯片性能瓶颈提供系统性技术路径。

嘉宾介绍:

徐跃杭，国家优青、四川省杰青，长期从事射频功率器件与系统研究，以第一作者 / 通讯作者在 IEEE、AIP、ACS 等旗下 SCI 刊物上论文 80 余篇，其中 IEEE 微波 / 太赫兹领域权威期刊（IEEE T-MTT/ T-TST/MWTL）和电子器件领域权威期刊（IEEE T-ED/EDL）40 余篇，授权美国发明专利、国家发明专利 20 余项，获得国防科技进步一等奖 / 二等奖、教育部技术发明二等奖、中国电子学会、中国创造学会等奖励 6 项（一等 3 项），出版科学出版社专著《微波氮化镓功率器件等效电路建模理论与技术》。

报告讲者



多芯粒集成芯片跨层级多物理建模仿真技术研究

王大伟

杭州电子科技大学教授

报告摘要:

多芯粒集成芯片中电、热、力强耦合带来的可靠性问题日益突出，传统单物理场、单层级设计已难以满足需求。针对集成芯片跨层级多物理建模仿真关键挑战，基于多算法系统与域分解技术，实现了器件 - 系统的高保真建模与高效仿真；通过引入等效原理、模态分解和正交分解等降阶方法构建轻量化代理模型，大幅降低计算复杂度，实现快速多物理分析；以多物理仿真能力为支撑，探索了芯粒 - 集成芯片多物理完整性协同设计方法，为集成芯片可制造性设计提供了理论指导与技术工具。

嘉宾介绍:

长期从事三维集成电路多物理建模仿真技术研究，近年在相关领域重要期刊发表 SCI 论文 100 余篇（包含 IEEE Trans. 论文 40 余篇），授权国家发明专利 30 余项、软件著作权 10 余项，参与制定团体行业标准 3 项、国家标准 1 项；主持国家自然科学基金项目 2 项、省部级项目 6 项。

报告讲者



面向三维堆叠芯片的跨层设计自动化与STCO

朱可人

复旦大学助理教授

报告摘要:

三维堆叠芯片的设计需要统筹计算任务、系统架构、逻辑实现、物理设计与先进封装等多个层次。本报告将介绍面向三维集成的跨层设计自动化方法，重点探讨如何构建贯通逻辑综合与物理实现的统一优化平台，并进一步接入真实计算任务和架构需求。报告将结合物理感知综合、芯粒布局、供电网络与垂直互连优化等工作，讨论人工智能驱动的设计空间探索如何支撑系统与封装协同优化，并展望面向 STCO 的新型 EDA 平台与设计方法。

嘉宾介绍:

朱可人，复旦大学集成电路与微纳电子创新学院助理教授、博士生导师。入选国家级高层次青年人才计划、复旦大学新工科人才基金，并获评 MIT 科技评论亚太区 35 岁以下科技创新 35 人。博士毕业于美国德克萨斯大学奥斯汀分校，师从 EDA 领域国际著名学者 David Z. Pan 教授。

在本领域重要国际期刊和会议上发表及接收论文 80 余篇。担任 DAC、ICCAD、GLVLSI、MLCAD 等重要国际会议技术程序委员会（TPC）成员，曾任 DAC、ICCAD、ASP-DAC、ISEDA 等会议分论坛主席及 ISEDA TPC Track Co-Chair。此外，还担任 DAC 2023 教程分会组织者、ASP-DAC 特别论坛组织者、CCF 集成电路专委执行委员、IEEE CEDA Shanghai Chapter Chair 等学术服务职责，并为 EDA 领域顶刊 IEEE TCAD 等期刊审稿人。

研究长期聚焦于 EDA、人工智能与芯片设计等前沿交叉领域，并在模拟电路物理设计与物理感知数字逻辑综合等方向产生了系统性成果。

报告讲者



AI 赋能先进封装设计新范式：2.5D/3D IC EDA全流程 STCO 协同创新

赵 毅

珠海硅芯科技有限公司总经理

报告摘要：

随着 AI 大模型、高性能计算等应用对算力、带宽和能效提出更高要求，2.5D/3D IC 与 Chiplet 逐步成为高端芯片系统集成的重要技术路径。然而，传统芯片设计、封装设计、工艺实现和多物理场分析相互割裂，难以支撑复杂堆叠系统的全局协同优化。本报告将围绕 AI 赋能先进封装设计的新范式，探讨如何以 3Sheng Integration Platform（全流程 2.5D/3D IC EDA 平台）为基础，将系统架构、芯粒规划、堆叠布局、协同布线、信号与电源完整性、热力分析、物理验证及工艺适配贯通起来，并通过 AI 智能体 Chips-Z 实现设计任务自动调度、多目标性能寻优和工程经验复用。在硅芯 STCO 系统协同体系下，设计优化不再局限于单一工具或局部环节，而是从系统需求出发，协同考虑设计与工艺约束，形成可迭代、可验证、可复用的端到端设计闭环，推动先进封装由单点技术创新迈向系统级协同创新。

嘉宾介绍：

赵毅博士毕业于英国南安普顿大学，师从英国皇家科学院院士 Hashimi 教授，是全球第一批研究 3D IC EDA 技术的专业人才。长期深耕三维集成电路设计与先进封装 EDA 领域，拥有 18 年以上研发与产业化经验，发表多篇国际顶尖论文并获 VLSI-SOC 国际最佳论文。其主导研发成果与 IMEC 比利时微电子研究中心合作，为该领域早期技术体系构建奠定了重要基础。2022 年，赵毅博士创立硅芯科技，在全球先进封装堆叠芯片技术浪潮下，率先推出 2.5D/3D 堆叠芯片 EDA 解决方案，为技术落地与产业升级提供核心支撑。

赵毅博士参与多项国家及地方重点研发任务，并牵头推进先进封装 EDA 软件相关技术攻关，截止目前已申请知识产权近百项。赵毅博士致力于推动先进封装 EDA 技术的自主创新与产业化应用，推动先进封装与 Chiplet 产业生态高质量发展。

报告讲者



三维堆叠芯片的高可靠系统设计及封装协同(STCO)

李 莺

新紫光集团前沿技术研究院执行院长

报告摘要:

新紫光集团发布的紫弦架构，是以 3.5D 堆叠实现方案为基础的新架构形态，突破摩尔定律先进工艺的部分限制，实现系统性的大带宽高性能，通用化。本报告聚焦三维堆叠芯片高可靠系统设计与 STCO 方法学：针对堆叠芯片良率测试筛选和优化，针对热应力、晶圆翘曲、键合失效等可靠性挑战；通过 STCO 统筹芯片 设计 - 物理实现 - 封装 - 测试 ，实现紫弦 3D 堆叠的可靠性、可测性、良率、性能协同优化，为国产 GPGPU 算力跃升提供工程方法学参考。

嘉宾介绍:

李莺，新紫光集团前沿技术研究院执行院长。深耕芯片设计行业二十余年，先后任职于知名芯片外企、国内头部半导体科技公司。研制并量产服务器级 CPU、GPU 及高端 SoC，深耕新计算架构人工智能芯片的全流程研发技术，现任新紫光集团前沿技术研究院执行长，OT 公司 CEO。

报告讲者



面向智算应用的三维互连与系统集成

王逸群

湖北星辰技术有限公司总经理 正高级工程师

报告摘要:

大模型、智能体、具身智能等多功能融合、多应用场景对智算芯片算力配置和访存性能提出了更高要求。2.5D/3D 先进封装互连技术实现不同工艺、不同功能芯片异质异构集成，形成可灵活配置的高性能集成芯片，满足多应用场景需求，已成为当前高性能芯片的必备技术。报告将介绍跨层次先进互连制造技术的最新进展以及赋能智算芯片持续迭代的相关案例，同时也将从系统级视角分析跨尺度智算芯片在可制造性、可测试性、可靠性等方面的诸多挑战以及催生新的设计方法学和制造方法学的相关思考。

嘉宾介绍:

王逸群博士毕业于清华大学，湖北星辰技术有限公司总经理，湖北江城实验室常务副主任，兼任湖北省半导体行业协会秘书长。王逸群博士具有近 20 年集成电路设计、工艺研发与大型晶圆制造项目运营管理经验，专注于高密度先进封装工艺、芯片集成架构、存算融合技术领域，牵头建成运营国内领先的 12 英寸高密度先进封装产业化平台，在集成电路国际顶级会议与期刊发表论文 20 余篇，引用次数超过 1000 次，公开及授权专利 75 项，主持 10 余项国家与省部级科技公关项目。

论坛15：太空算力与具身智能：从系统架构到芯粒技术



论坛主席

涂锋斌

香港科技大学助理教授 集成电路与系统研究所副主任

涂锋斌博士，香港科技大学电子及计算机工程学系助理教授，集成电路与系统研究所副主任，香港科技大学 - 英特尔联合实验室副主任，国家优秀青年科学基金获得者。他是现任 IEEE TCAD 副编辑和 IEEE CEDA 香港分会副主席。他的研究方向包括 AI 芯片设计和存算一体架构，已发表 2 部专著和 80 余篇学术论文，包括 ISSCC、JSSC、ISCA、MICRO 等集成电路和体系结构领域顶级会议和期刊，曾 3 次获得 ISSCC 亮点论文荣誉。



论坛主席

许浩博

中国科学院计算技术研究所副研究员

许浩博，中国科学院计算技术研究所副研究员，主要从事专用处理器芯片以及芯粒集成芯片研究，完成了多款原型芯片研制，在重要领域实现应用。成果发表于HPCA、ASPLOS、TCAD等国际会议与期刊，在相关研究领域拥有数十项国家发明专利及多项美国、日本等海外专利。主持国家自然科学基金重大项目课题，入选北京市青年人才托举工程。

报告讲者



面向太空算力应用的异构芯粒集成技术趋势与进展

林鹏荣

北京微电子技术研究所主任 研究员

报告摘要:

随着空天地一体化、深空探测及低轨卫星星座等太空复杂任务场景的升级，星载电子系统对端侧实时数据处理与多线程并发能力的需求急剧增长，“算力上天”正强力驱动星载智算芯片蓬勃发展。面对强辐射、高真空及极端温差等空间环境挑战，报告人带领团队系统性开展了面向太空算力的异构芯粒（Chiplet）集成技术体系研究，攻克并形成了高可靠硅转接板（Si Interposer）、硅桥（Si Bridge）等系列解决方案，贯通了国产高可靠硅基集成全工艺流程，实现高可靠 2.5D 陶瓷与塑料封装的量产。在此基础上，团队深度融合芯粒系统多层次协同设计、堆叠封装结构及玻璃等新型材料，进一步构建高可靠异质异构集成封装体系，为我国太空算力的持续增长提供坚实支撑。

嘉宾介绍:

林鹏荣，研究员，国家级青年人才，北京微电子技术研究所封装中心主任、长期从事核心、关键、高端的集成电路封装及微系统集成技术研究，连续主持及承担国家科技重大专项等课题，相关成果荣获第 22 届中国专利金奖、国家科技进步二等奖等奖项。

报告讲者



星载SAR智能成像处理芯片技术及应用

杨 柱

北京理工安徽空天信息研究院常务副院长 正高级工程师

报告摘要:

针对遥感卫星 " 星上采集 - 地面处理 " 模式存在的时效性瓶颈与数据下传带宽受限难题，本报告系统阐述星载 SAR 智能成像处理芯片的关键技术与应用实践。重点介绍多核异构低功耗架构设计、抗辐照一体化加固方法及数据流驱动的高效处理模型，突破国内工艺条件下星上实时成像的性能约束。展示国内首款星上 SAR 专用成像处理芯片、图像目标检测芯片及成像 - 检测一体化芯片的研制成果，该技术已成功应用于遥感三十三号、高分三号、陆探一号等 7 型 10 颗卫星，显著提升海洋监视、灾害应急、资源勘查等场景的星上信息获取时效性，为新一代天基智能观测系统提供核心硬件支撑。

嘉宾介绍:

杨柱，正高级工程师，工学博士，北京理工安徽空天信息研究院常务副院长。专注于智能遥感数据处理芯片设计与应用。

2025 年获中国指挥与控制学会科学技术奖一等奖；2020 年获中国电子学会优秀博士论文；2018 年获国家技术发明奖二等奖。

具有丰富的产品研发和公司管理经验，承担十余项国家级芯片研制项目，成功研制国内首款星上 SAR 成像处理芯片、星上专用图像处理芯片及 SAR 成像与智能图像处理芯片，作为芯片负责人主持多个遥感星上实时处理系统研制并实际应用。

报告讲者



下一代智算系统设计与探索：从地面超节点到太空智算集群

朱振华

清华大学深圳国际研究生院助理教授

报告摘要:

随着大模型和多智能体应用快速发展，Token 消耗、推理调用量与系统复杂度呈指数级增长，推动智算系统从单卡性能优化走向面向 Tokens/$ 的软硬件全栈协同设计。报告围绕下一代智算系统展开，首先分析大模型计算规模扩张带来的吞吐、能效、互连和系统利用率瓶颈，阐述垂直打通算法模型、软件系统与硬件架构的 Token 工厂优化范式。随后，报告重点讨论地面超节点作为未来大规模智算基础设施的重要形态，分析其在高带宽互连、统一内存、低延迟跨卡访问和大规模并行调度方面的优势，以及芯片选型、拓扑结构、供电散热和部署空间爆炸带来的系统级设计挑战。进一步地，报告将研究视角延伸至太空智算集群，探讨空间供电、散热和辐照约束下，AI 芯片设计由算力优先转向能效与可靠性优先的关键问题，并介绍低功率高可靠 LLM IP 在轨验证平台。最后，报告展望从地面超节点到太空智算集群的一体化设计方法，探索面向未来智能计算基础设施的芯片、系统、互连与任务调度协同优化路径。

嘉宾介绍:

朱振华，清华大学深圳国际研究生院助理教授，博士生导师。朱振华分别在 2024 年及 2018 年于清华大学电子工程系获博士学位及学士学位，师从汪玉教授。

朱振华主要从事高能效 AI 芯片架构设计研究，围绕存算一体、领域定制集成电路、软硬件协同优化等方面，发表国内外重要期刊会议文章 60 余篇，谷歌学术引用 2300 余次。

曾获中国计算机学会容错专委 40 周年优秀成果奖、《电子与信息学报》2025 年度“优秀论文奖”及“最具传播影响力论文奖”、计算机体系结构顶会 HPCA 2025 最佳论文荣誉提名奖、EDA 领域重要会议 DATE 2023 最佳论文奖提名等荣誉。

报告讲者



AIRSEAI：面向具身智能的开放基础架构

刘少山

深圳市人工智能与机器人研究院（AIRS）
具身智能中心主任 AIRSEAI项目负责人

报告摘要：

具身智能正在从模型突破进入系统工程化阶段，但真正制约规模化的，越来越不是单一模型，而是机器人本体、传感器、软件栈、模型与计算芯片之间的高度碎片化：换一台机器人、换一颗芯片，往往就意味着重新适配一套系统。AIRSEAI 要解决的，正是这种智能难以复用、硬件难以互通、系统难以规模化的问题。AIRSEAI 的发展分为三个阶段。1.0 解决系统能不能真正跑起来：把大模型、传统机器人算法、计算平台整合起来，让具身智能从算法 Demo 走向真实机器人。2.0 解决能力能不能复制和迁移：通过标准化接口和数据闭环，逐步实现模型、机器人本体与计算芯片的解耦，使同一种智能能力能够跨机器人、跨芯片快速部署。3.0 解决产业能不能形成生态：让机器人厂商、模型开发者、传感器企业和芯片厂商围绕统一基础架构共同开发、持续演进。AIRSEAI 已经加入 The Linux Foundation，并定位为其首个具身智能项目。它的目标不是再造一台机器人，而是打造具身智能时代的开放基础设施——让新的模型更快进入机器人，让新的芯片更快承载智能，让具身智能从一个个定制系统走向真正可规模化的产业生态。

嘉宾介绍：

刘少山博士，深圳市人工智能与机器人研究院（AIRS）具身智能中心主任、the Linux Foundation 开源项目 AIRSEAI 负责人。获加州大学欧文分校计算机工程博士、哈佛大学肯尼迪政府学院公共管理硕士。研究方向包括具身智能、机器人计算系统、科技政策等。近年来重点推动开放、可互操作的具身智能基础架构建设，推动机器人智能从单点能力向可持续演进的系统能力发展。

报告讲者



Chiplet异构算力芯片产品与应用

孟 飞

北极雄芯信息科技（西安）有限公司联创

报告摘要:

2018 年，在姚期智院士的部署指导下，由马恺声教授开展基于 Chiplet 技术的高性能大算力 AI 加速芯片研究。2021 年，在迭代了两款芯片的基础上，成立北极雄芯，开始从实验室迈入产业化。目前公司积累了 CPU、NPU 和 GPU 三款芯粒、多款 D2D 互连 IP，可以根据具身智能、智能驾驶等端侧市场需求，提供基于 Chiplet 技术的定制化高性能芯片。

嘉宾介绍:

西安交通大学本科，10 年以上商务运营管理经验。2019 年 2 月加入交叉核心院，负责供应商、科研合作、孵化企业投前投后管理等商务运营工作，后转入北极雄芯负责产品研发所需相关供应链和产品市场推广的商务工作。

报告讲者



2.5D/3D智能体加速架构与AI辅助设计方法

贾天宇

北京大学集成电路设计系副主任 研究员

报告摘要:

智能体大模型（Agentic LLMs）的兴起对芯片设计提出了全新挑战——多任务并行、动态资源竞争与实时响应需求，使得传统芯片架构在可扩展性和灵活性上日益捉襟见肘。本报告聚焦于基于2.5D 封装的智能体加速芯粒架构及其 AI 辅助设计方法，从架构创新与设计自动化两个维度展开讨论。在架构层面，提出了一种面向智能体大模型的芯粒架构，通过资源分区与动态调度机制，实现多芯粒间计算资源的高效协同与按需分配。在设计方法论层面，提出 AgenticDSE 多智能体设计空间探索框架，引入多阶段贝叶斯优化方法，系统性地加速芯粒加速器的架构搜索与参数调优过程。两者构成从“硬件架构创新”到“设计方法赋能”的闭环，为 2.5D/3D 封装时代下智能体加速芯片的研发提供思路。

嘉宾介绍:

贾天宇，北京大学集成电路学院研究员 / 博士生导师，博雅青年学者，国家级青年人才。北京大学集成电路设计系副主任，EDA2 AI 标准委员会副主席。获美国西北大学博士，曾任哈佛大学博士后，卡耐基梅隆大学助理研究教授。研究兴趣为智能计算芯片架构和智能体应用，在“芯片设计奥林匹克会议”ISSCC 等发表前沿文章 100 余篇，担任 IEEE Computer Architecture Letters 副主编，曾获 ISLPED、ISEDA 最佳论文奖、北京大学杨芙清 - 王阳元院士奖教金特等奖等。

报告讲者



芯粒在机器人芯片中的应用前景与设计方法

甘一鸣

中国科学院计算技术研究所副研究员

报告摘要:

机器人是一类典型的“少量多类”产品：不同机器人在形态、自由度、传感器配置、任务目标和控制算法等方面差异显著，难以通过单一通用芯片覆盖全部应用，也不适合为每一种机器人单独开发完整的专用芯片。在这一背景下，采用芯粒(Chiplet)技术，将面向感知、规划、优化求解、运动控制和安全监测等不同功能的专用算法通过芯粒进行组合，形成可重构、可扩展的机器人计算平台，为机器人领域专用芯片提供了一条具有现实可行性的技术路径。本报告将介绍课题组对芯粒化机器人计算系统的思考，并分享近期在具身智能专用加速器、人形机器人控制加速器等方面的研究工作，包括面向多类优化型机器人应用的统一加速器生成框架、面向大模型驱动机器人操作的算法与体系结构协同设计，以及面向人形机器人高动态控制的统一自适应加速器等。通过这些工作，报告将讨论如何利用统一的数学抽象、可复用的硬件结构和运行时自适应机制，提高机器人计算系统的性能、能效、灵活性与可扩展性，并进一步探讨不同类型专用芯粒在机器人计算平台中的组合方式及其发展前景。

嘉宾介绍:

甘一鸣，中国科学院计算技术研究所副研究员，国家级青年人才。2023 年博士毕业于罗切斯特大学后回所参加工作，从事具身智能专用芯片、芯片设计自动化等方面的研究工作。在体系结构会议上发表过多篇相关工作，也承担了相关的国家级、省级科研项目。

论坛16：三维集成芯片计算与测试关键技术论坛



论坛主席

苏 菲

清华大学教授

苏菲，清华大学集成电路学院长聘教授，原英特尔芯片架构师。研究聚焦芯片测试与可测性 / 可靠性设计、芯片全生命周期管理，开展电路 架构跨层级研究，破解芯片可测性、可靠性、安全性与计算韧性核心难题。荣获 IEEE 电路与系统协会 Outstanding Young Author Award、IEEE VLSI Design 最佳论文奖等多项学术奖项，参与多项 IEEE 国际标准制定，担任 DAC、ITC 等国际顶级会议程序委员，并担任 IEEE Design and Test 编委。



论坛主席

蔡志匡

南京邮电大学科技处处长 教授

蔡志匡，教授、博士生导师，国家级青年人才，通信芯片封测与可靠性教育部工程研究中心常务副主任、江苏省通信集成电路与系统重点实验室主任。长期从事集成电路测试领域教学与科研，主持国家重点研发计划、国家自然科学基金重点项目等20余项，在ISSCC、JSSC、ITC等国内外重要期刊和会议发表论文120余篇，授权国家发明专利140余件，获中国电子学会科技进步一等奖。

报告讲者



3D 芯片测试设计需求与挑战

杨 凡

北京华大九天科技股份有限公司副总经理 高级工程师

报告摘要:

3D 集成电路（3D IC）设计是将多个半导体或小芯片垂直堆叠在单个封装内。该技术并非将组件水平排布在电路板上，而是借助硅通孔(TSV)或直接铜键合这类精细垂直柱体实现各层连接，以此提升速度并节省空间。传统方案中，单 die 由 IOs 环绕，多 die 之间的互连逻辑的故障可通过边界扫描逻辑进行检测，但此类检测的覆盖范围往往不足以满足良率要求。本演讲将介绍当前用于 3D IC 测试的 IEEE 1838 标准解决方案，随后探讨实际设计过程中遇到的测试问题。

嘉宾介绍:

杨凡，美国爱荷华大学 2009 年获电子电器及计算机工程博士学位，IEEE Senior Member。现任北京华大九天科技股份有限公司副总经理，高级工程师职称。拥有逾 19 年芯片可测试性设计的经验。曾担任芯片可测试性设计资深工程师，架构师和项目负责人，带领团队负责芯片可测试性设计及验证并成功出品业界顶级芯片。

报告讲者



基于 M3D-RRAM 的 CIM 加速器非理想特性感知计算方法研究

俞 洋

哈尔滨工业大学未来技术学院副院长兼本科生院副院长 教授

报告摘要:

随着单片三维集成阻变存储器(M3D-RRAM)计算存内(CIM)架构的快速发展,其在高密度、低功耗人工智能计算中的应用潜力日益凸显。然而在实际系统中,温度效应、电压降及器件级随机性等多种非理想因素普遍存在,且不同因素之间存在复杂耦合关系。现有研究多针对单一非理想特性进行建模与补偿,缺乏统一建模与协同优化机制,导致系统性能评估存在偏差,补偿策略难以在多因素耦合条件下达到最优。

针对上述问题,报告介绍了一种面向 M3D-RRAM 的统一多非理想特性建模方法,将温度效应、电压降及器件级随机性纳入同一分析框架,并建立等效电导模型。在此基础上,结合电路仿真与系统级神经网络推理平台,对多非理想因素对阵列输出电流及计算精度的影响进行了系统评估。

嘉宾介绍:

俞洋,哈尔滨工业大学教授,博士生导师,未来技术学院副院长兼本科生院副院长,自动测试及仪器技术教育部工程研究中心主任。

长期致力于人工智能算法及其硬件加速技术的研究,聚焦于从智能诊断算法到高能效存内计算芯片的跨层次优化。面向航空航天等重大装备的智能维护保障需求,将深度学习、故障预测等智能算法应用于装备健康管理,取得了系列创新成果;在此基础上,进一步将研究延伸至支撑未来高密度、低功耗智能计算的新型存内计算架构,围绕 M3D-RRAM 器件非理想特性建模、阵列行为仿真与系统级推理精度评估等关键问题展开深入研究,为智能算法在边缘端的高效部署提供硬件技术储备。主持国家自然科学基金等多项国家级、省部级重点科研项目,获国防科技进步三等奖,出版学术专著 1 部,发表 SCI/EI 论文 50 余篇,授权国家发明专利 40 余项。

报告讲者



AI+3DIC EDA重构先进封装设计-工艺-测试协同优化(STCO)新范式

赵 毅

珠海硅芯科技有限公司总经理

报告摘要:

随着摩尔定律逼近物理极限，先进封装已成为延续半导体性能提升的关键路径。3D IC 技术通过芯片堆叠与互连重构，突破了传统平面集成的瓶颈，但也带来了前所未有的系统复杂度——从微凸点间距、TSV 密度到热 - 电 - 力多物理场耦合，设计与工艺之间的壁垒日益加深。

本演讲将聚焦 "AI+EDA" 双轮驱动下的设计 - 工艺 - 测试协同优化（STCO）新范式。首先，剖析 3D IC 异构集成中设计规则与工艺窗口的耦合机理，揭示传统 " 设计 - 工艺 - 测试串行迭代 " 模式的效率瓶颈；其次，探讨如何利用 AI 赋能 EDA 工具链，实现从架构探索、布局布线、测试到封装签核的全流程智能化，在超大规模搜索空间中快速收敛最优解；最后，分享 STCO 在 HBM、Chiplet 等典型场景中的落地实践，展示如何通过早期工艺感知的设计优化与可制造性驱动的架构创新，实现 PPAC（性能、功耗、面积、成本）的系统性突破。期待与业界同仁共同探索先进封装的新边界。

嘉宾介绍:

赵毅博士毕业于英国南安普顿大学，师从英国皇家科学院院士 Hashimi 教授，是全球第一批研究 3D IC EDA 技术的专业人才。长期深耕三维集成电路设计与先进封装 EDA 领域，拥有 18 年以上研发与产业化经验，发表多篇国际顶尖论文并获 VLSI-SOC 国际最佳论文。其主导研发成果与 IMEC 比利时微电子研究中心合作，为该领域早期技术体系构建奠定了重要基础。2022 年，赵毅博士创立硅芯科技，在全球先进封装堆叠芯片技术浪潮下，率先推出 2.5D/3D 堆叠芯片 EDA 解决方案，为技术落地与产业升级提供核心支撑。

目前，硅芯科技已成为新一代 2.5D/3D Chiplet 堆叠芯片 EDA 行业的重要创新力量，赵毅博士参与多项国家及地方重点研发任务，并牵头推进先进封装 EDA 软件相关技术攻关，截止目前已申请知识产权近百项。赵毅博士致力于推动先进封装 EDA 技术的自主创新与产业化应用，推动先进封装与 Chiplet 产业生态高质量发展。

报告讲者



集成芯片中的互连时序监测方法探究

赖李洋

汕头大学教授

报告摘要:

在后摩尔 / 系统摩尔时代，集成芯片（3DIC）通过功能模块拆解和芯粒重组封装，提高大规模芯片开发效率并降低成本，已成为业界高端芯片的主流技术路线，但同时也带来一系列诸如静默数据错误（SDC）等测试和可靠性方面的挑战。芯片测试也从早期的二元 Go/NoGo 策略，逐渐演变成整合测试、监测、预警、自修复和实时参数调整等贯穿芯片全生命周期管理的关键技术。芯粒互连是芯粒集成和运行过程中最易产生缺陷和出现老化的环节，互连时序监测对于监控和预警这些缺陷或老化，并采取相应的修复措施，有重要意义。本报告将探讨已有的一些片上时序监测方法，以及集成芯片互连监测的特殊性和独特挑战。

嘉宾介绍:

赖李洋博士现为汕头大学电子系教授。本科毕业于北京大学，在美国 UIUC 获博士学位，主要从事芯片可测试性设计（DFT）和电子设计自动化（EDA）的研究。博士毕业后在三大 EDA 公司之一的 Mentor（现西门子）工作十余年，拥有完整的 DFT 从前端到后端，以及良率分析的业界经验。作为核心研发成员，参与实现的 ATPG、故障诊断、逻辑内嵌自测试和 iJTAG 等芯片 EDA 工具软件曾获多个重要业界奖项；主持设计的多项 DFT 解决方案已广泛应用于 Intel、AMD 等国际知名大厂的芯片设计中。在领域内顶刊 TCAD 和顶会 ITC 等发表过多篇重要学术论文，曾获 ITC 最佳论文奖，现主持国家自然科学基金重大研究计划重点支持项目。

报告讲者



三维集成芯片互连的测试技术进展

崔小乐

北京大学信息工程学院教授

报告摘要:

三维集成芯片的结构复杂、可测性较差，其测试和容错技术亟待研究。

本报告介绍北京大学深圳研究生院在三维集成芯片互连测试技术方面的工作进展，涉及物理层的层间互连 Pre-bond 和 Post-bond 测试、BIST 方案、冗余修复技术；链路层的 SerDes 接口故障诊断技术、并行传输链路的串扰抑制技术、串扰敏感的动态故障检测技术；网络层的 3D Mesh NoC 功能测试技术；三维集成芯片的测试调度技术等。

嘉宾介绍:

从事 IC 设计、IC 可测性 / 可靠性 / 安全性设计、EDA 技术的研究。已承担国家自然科学基金重点项目、国家重点研发计划、973、863、国家 02 专项、地方及横向等各类科研项目三十余项，发表学术论文两百余篇，拥有发明专利十余项。

现任 CCF 杰出会员，CCF 容错专委会和集成电路设计专委会执行委员，中国测试计量学会集成电路测试专委会委员，中国指挥控制学会可靠性技术专委会委员，IEEE 会员，IEEE P3405 和 IEEE P3468 等标准的工作组成员。

报告讲者



芯粒测试关键技术研究

蔡志匡

南京邮电大学科技处处长 教授

报告摘要:

随着 Chiplet 与 2.5D/3D 异构集成技术的快速发展，集成芯片正通过功能解耦、芯粒重组与先进封装实现更高的系统集成度和设计灵活性，并逐步成为高性能芯片的重要技术路线。与此同时，随着芯粒数量持续增加、互连结构日趋复杂、系统异构程度不断提升，芯粒测试的对象、场景与需求也发生了显著变化，对现有测试技术提出了新的要求。围绕这一发展趋势，本报告面向芯粒测试领域的关键技术与应用需求，按照从故障模型、测试方法到测试硬件的技术脉络，重点分析不同技术环节所面向的关键问题及代表性思路，并进一步总结芯粒测试技术的发展现状与主要演进特征，为理解该领域的技术体系以及后续研究与工程应用提供参考。

嘉宾介绍:

蔡志匡，教授、博士生导师，国家级青年人才，通信芯片封测与可靠性教育部工程研究中心常务副主任、江苏省通信集成电路与系统重点实验室主任。长期从事集成电路测试领域教学与科研，主持国家重点研发计划、国家自然科学基金重点项目等 20 余项，在 ISSCC、JSSC、ITC 等国内外重要期刊和会议发表论文 120 余篇，授权国家发明专利 140 余件，获中国电子学会科技进步一等奖。

ICCC
2026

